

SON-2230

PATENT APPLICATION

5/ front page
P. illus
1-1702

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Patent Application of
Yukio OKUDA

Group Art Unit: To Be Assigned

Serial No. To Be Assigned

Examiner: To Be Assigned

Filed: September 28, 2001

For: METHOD AND APPARATUS OF DETERMINING
DEFECT-FREE SEMICONDUCTOR INTEGRATED
CIRCUIT

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior
application filed in the following foreign country is hereby
requested and the right of priority provided under 35 U.S.C. 119
is hereby claimed:

Japanese Patent Appl. No. P2000-302780 filed October 2, 2000

In support of this claim, filed herewith is a certified copy
of said original foreign application.

Respectfully submitted,

Ronald P. Kananen
Reg. No. 24,104

Dated: September 28, 2001

RADER, FISHMAN & GRAUER P.L.L.C.
1233 20th Street, NW, Suite 501
Washington, DC 20036
202-955-3750-Phone
202-955-3751 - Fax
Customer No. 23353

1002 U.S. PTO
09/964540
09/28/01


日本国特許庁
JAPAN PATENT OFFICE

S01P14894500

PRO
j1002 U.S.
09/964540
09/26/01
09/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年10月 2日

出願番号
Application Number:

特願2000-302780

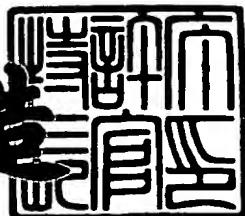
出願人
Applicant(s):

ソニー株式会社

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3078007

【書類名】 特許願
【整理番号】 0000763407
【提出日】 平成12年10月 2日
【あて先】 特許庁長官殿
【国際特許分類】 G01R 31/00
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 奥田 幸男
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代表者】 出井 伸之
【代理人】
【識別番号】 100094053
【弁理士】
【氏名又は名称】 佐藤 隆久
【手数料の表示】
【予納台帳番号】 014890
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9707389
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 CMOS集積回路の良品判定方法

【特許請求の範囲】

【請求項1】

CMOS集積回路の良品判定を行う良品判定方法であって、

第1の前記CMOS集積回路における複数のベクトル点での静止電源電流の測定値を示す第1のベクトル波形と、第2の前記CMOS集積回路における前記複数の前記ベクトル点での静止電源電流の測定値を示す第2のベクトル波形とが相似であるか否かを検査する工程と、

前記第1および第2のベクトル波形が相似である場合に、前記第1および第2の前記CMOS集積回路を良品であると判定する工程と
を有する

CMOS集積回路の良品判定方法。

【請求項2】

前記第1および第2のベクトル波形が相似でない場合に、前記第1または第2の前記CMOS集積回路を不良品であると判定する工程をさらに有する
請求項1記載のCMOS集積回路の良品判定方法。

【請求項3】

前記検査する工程は、

前記第1および第2の前記CMOS集積回路の前記測定値の偏差に基づいて回帰分析を行い、決定係数と回帰直線の傾きとを算出する工程と、
前記決定係数が下限値よりも大きく、かつ、前記第1および第2の前記CMOS集積回路の前記測定値の平均値の比と前記傾きとの差異が許容範囲内である場合に、相似であると判定する工程と
を有する

請求項1記載のCMOS集積回路の良品判定方法。

【請求項4】

前記検査する工程は、

前記第1の前記CMOS集積回路の前記測定値の偏差をその標準偏差で除算し

た第1の標準値、および、前記第2の前記CMOS集積回路の前記測定値の偏差をその標準偏差で除算した第2の標準値を算出する工程と、

前記第1および第2の標準値に基づいて回帰分析を行い、決定係数と回帰直線の傾きとを算出する工程と、

前記決定係数が下限値よりも大きく、かつ、前記傾きと1との差異が許容範囲内である場合に、相似であると判定する工程と

を有する

請求項1記載のCMOS集積回路の良品判定方法。

【請求項5】

前記検査する工程は、

前記第1および第2の前記CMOS集積回路を含む数個以上の前記CMOS集積回路について、前記測定値の平均値および標準偏差を示すプロットが分布する散布図を作成する工程と、

前記散布図でプロットが集中する直線を求め、当該直線から許容範囲内に前記第1および第2の前記CMOS集積回路に対応するプロットが位置する場合に、相似であると判定する工程と

を有する

請求項1記載のCMOS集積回路の良品判定方法。

【請求項6】

前記検査する工程は、

前記第1および第2の前記CMOS集積回路を含む数個以上の前記CMOS集積回路について、前記測定値の平均値および偏差を示すプロットが分布する散布図を作成する工程と、

前記散布図でプロットが集中する直線を求め、当該直線から許容範囲内に前記第1および第2の前記CMOS集積回路に対応するプロットが位置する場合に、相似であると判定する工程と

を有する

請求項1記載のCMOS集積回路の良品判定方法。

【請求項7】

CMOS集積回路の良品判定を行う良品判定方法であって、良品の数個以上の前記CMOS集積回路について静止電源電流の測定値とその平均値に基づき、前記測定値の偏差を前記平均値で除算した第1の係数を算出し、前記第1の係数を前記数個以上の前記CMOS集積回路で平均化した第2の係数を算出する工程と、

試験対象の前記CMOS集積回路について静止電源電流の測定値とその平均値に基づいて偏差を算出する工程と、

前記第2の係数と前記偏差に基づいて回帰分析を行い、決定係数および回帰直線の傾きを算出する工程と、

前記決定係数が下限値よりも大きく、かつ、前記試験対象の前記CMOS集積回路の前記平均値で前記傾きを除算した値と1との差異が許容範囲内である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程とを有する

CMOS集積回路の良品判定方法。

【請求項8】

前記決定係数が下限値よりも大きいという条件、および、前記平均値で前記傾きを除算した値と1との差異が許容範囲内であるという条件の何れかを満たさない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する

請求項7記載のCMOS集積回路の良品判定方法。

【請求項9】

CMOS集積回路の良品判定を行う良品判定方法であって、

良品の数個以上の前記CMOS集積回路についての静止電源電流の測定値に基づき、当該測定値の偏差をその標準偏差で除算した第1の標準値を算出し、前記第1の標準値を前記数個以上の前記CMOS集積回路で平均化した第2の標準値を算出する工程と、

試験対象の前記CMOS集積回路についての静止電源電流の測定値に基づき、当該測定値の偏差をその標準偏差で除算した第3の標準値を算出する工程と、前記第2および第3の標準値に基づいて回帰分析を行い、決定係数および回帰

直線の傾きを算出する工程と、

前記決定係数が下限値よりも大きく、かつ、前記傾きと1との差異が許容範囲内である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程と

を有する

CMOS集積回路の良品判定方法。

【請求項10】

前記決定係数が下限値よりも大きいという条件、および、前記傾きと1との差異が許容範囲内であるという条件の何れかを満たさない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する

請求項9記載のCMOS集積回路の良品判定方法。

【請求項11】

CMOS集積回路の良品判定を行う良品判定方法であって、

良品の数個以上の前記CMOS集積回路についての静止電源電流の測定値に基づき、当該測定値の偏差をその標準偏差で除算した第1の標準値を算出し、前記第1の標準値を前記数個以上の前記CMOS集積回路で平均化した第2の標準値を算出する工程と、

前記測定値の偏差から、前記標準偏差と前記第2の標準値との乗算値を減算した値の絶対値の上限値を求める工程と、

試験対象の前記CMOS集積回路についての静止電源電流の測定値の偏差から、その標準偏差と前記第2の標準値との乗算値を減算した値の絶対値が、前記上限値未満であるか否かを検出する工程と、

前記絶対値が前記上限値未満である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程と

を有する

CMOS集積回路の良品判定方法。

【請求項12】

前記絶対値が前記上限値未満でない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する

請求項11記載のCMOS集積回路の良品判定方法。

【請求項13】

CMOS集積回路の良品判定を行う良品判定であって、

良品の数個以上の前記CMOS集積回路についての静止電源電流の測定値に基づき、その標準偏差および平均値を示すプロットが分布する散布図を作成し、前記散布図でプロットが集中する直線の傾きを求める工程と、

試験対象の前記CMOS集積回路についての静止電源電流の測定値の平均値から、当該測定値の標準偏差と前記傾きとの乗算値を減算した値が、上限値未満である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程と

を有する

CMOS集積回路の良品判定方法。

【請求項14】

前記減算した値が前記上限値以上である場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する

請求項13記載のCMOS集積回路の良品判定方法。

【請求項15】

CMOS集積回路の良品判定を行う良品判定方法であって、

良品の前記CMOS集積回路についての静止電源電流の第1および第2のベクトル点での測定値の差を、当該測定値の平均値で除算した基準値を算出する工程と、

試験対象の前記CMOS集積回路についての静止電源電流の前記第1および第2のベクトル点での測定値の差を、当該測定値の平均値で除算した比較値を算出する工程と、

前記基準値と前記比較値との差異が許容範囲内である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程と

を有する

CMOS集積回路の良品判定方法。

【請求項16】

前記差異が前記許容範囲内でない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する

請求項15記載のCMOS集積回路の良品判定方法。

【請求項17】

CMOS集積回路の良品判定を行う良品判定方法であつて、

良品の数個以上の前記CMOS集積回路についての静止電源電流の測定値に基づき、その偏差および平均値を示すプロットが分布する散布図を作成し、前記散布図でプロットが集中する直線を求める工程と、

試験対象の前記CMOS集積回路についての前記測定値の平均値から前記直線に基づいて予測される予測偏差を算出する工程と、

前記試験対象の前記CMOS集積回路についての静止電源電流の測定値の偏差と前記予測偏差との差異が許容範囲内である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程と

を有する

CMOS集積回路の良品判定方法。

【請求項18】

前記差異が前記許容範囲内でない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する

請求項17記載のCMOS集積回路の良品判定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CMOS (Complementary Metal Oxide Semiconductor) 集積回路の良品判定を行う良品判定方法に関する。

【0002】

【従来の技術】

特開平8-271584号公報、特開平9-211088号公報、U.S.P.5392293、U.S.P.5519333、および、U.S.P.5889408には、CMOS集積回路の静止電源電流 (I_{DDQ} : Quiescent power supply current) を用

いた試験 (I_{DDQ} 試験) についての記載がある。

I_{DDQ} 試験は、CMOS 集積回路の静止電源電流を測定し、測定値に基づいて試験対象の CMOS 集積回路の良否判定を行う試験である。なお、試験対象の CMOS 集積回路を、被試験素子 (DUT : Device Under Test) ともいう。

【0003】

静止電源電流 I_{DDQ} は、良品でも流れる漏れ電流 (真性漏れ電流または正常漏れ電流) と、欠陥によって生じる欠陥電流とを有する。すなわち、静止電源電流 I_{DDQ} は、正常漏れ電流と欠陥電流との合計で表すことができる。

正常漏れ電流は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の構造から発生する漏れ電流 (FET漏れ電流) と、回路動作によって生じる漏れ電流 (回路漏れ電流) との合計で表すことができる。回路漏れ電流は、アナログ回路、ブルアップ電流、バス衝突等により発生する。

【0004】

CMOS 集積回路の静止電源電流を測定し、測定値がしきい値以上の場合に不良品として判定する従来の I_{DDQ} 試験は、T.W.Williams, R.H.Dennard, and R.Kapur, "I_{ddq} Test: Sensitivity Analysis of Scaling,". In Int.Test Conf., pp.7 86-792. IEEE, 1996. にも記載があるように、正確な判定が困難な場合がある。

例えば、CMOS 集積回路の配線パターンが微細な場合に、微細化に伴って MOSFET の漏れ電流 (FET漏れ電流) が指數関数的に増加するからである。

このため、I_{DDQ} 試験時の FET漏れ電流を減らす種々の方法が提案されている。

【0005】

I_{DDQ} 試験時の FET漏れ電流を減らす低減方法としては、ストローブ時に FET漏れ電流を低下させることでしきい値を下げる方法があり、低電圧電圧法と、低温測定法と、ウェル・バイアス法とが知られている。

【0006】

低電源電圧法

電源電圧 V_D を下げると漏れ電流が下がることを利用した低減方法である。しかし、回路が誤動作しない程度の電源電圧 V_D までしか下げられないため、FET

FET漏れ電流の低減率が低い。

また、ストローブ前後での電源電圧 V_D の上げ下げに数mS（ミリ秒）程度必要であり、試験時間の増加に伴いコストが上昇する。

また、A.E.Gattiker and W.Maly."Toward Understanding "Iddq-Only" Fails,". In Int. Test Conf.,pp.174-183.IEEE,1998. によると、電源電圧 V_D を下げるとき故障貫通電流が無くなる事例があり、試験漏れが発生する可能性がある。

【0007】

低温測定法

動作温度を下げるとFET漏れ電流が下がることを利用した低減方法である。

下限温度は、信頼性保証と、低温維持装置や試験装置のコストとで決まるが、民生用の低温維持装置は0°C程度が限度であり、FET漏れ電流の低減率は低い。また、装置の費用およびランニングコストがかかり、コストが上昇する。

【0008】

ウェル・バイアス法

ウェル・バイアス法は、A.Keshavarzi,K.Roy, and C.F.Hawkins."Intrinsic Leakage in Low Power Deep Submicron CMOS ICs,". In Int. Test Conf.,pp.146-155.IEEE,1997. に記載されている。

この低減方法では、バイアス電圧を印加する配線を追加するため、CMOS集積回路のチップ面積が増大し、コストが上昇する。

また、漏れ電流の低減率は、有効ゲート長 L_{eff} のバラツキに強く依存するため、微細化に伴ってFET漏れ電流のバラツキが生じる。

なお、A.Keshavarzi,C.F.Hawkins,K.Roy, and V.De."Effectiveness of Reverse Body Bias for Low Power CMOS Circuits,". In 8th NASA Symposium on VLSI Design,pp.2.3.1-2.3.9,Oct.1999によれば、有効ゲート長 L_{eff} が0. 18 μm である場合の低減率は1/5倍であり、有効ゲート長 L_{eff} が0. 13 μm である場合の低減率は1/2倍である。

【0009】

【発明が解決しようとする課題】

CMOS集積回路の試験方法として、固定されたしきい値を用いる試験方法以

外の試験方法として、デルタ (Delta) 法および電流レート (Current Ratio) 法がある。

【0010】

デルタ法

デルタ法は、A.C.Miller."Delta I_{DDQ} Testing,".In USP5889408, March 1999 に記載されている。この方法では、 I_{DDQ} の最小値および最大値との差に上限値を設けて試験しており、CMOS 集積回路に対して個別に上限値を設定していないので、見逃し欠陥電流が大きい場合がある。また、正常漏れ電流のベクトル点（測定点）間の変動幅以下の欠陥電流を検出できない場合がある。

【0011】

電流レート法

電流レート法は、特開2000-171529号公報に開示されている。この方法では、 I_{DDQ} の最小値と最大値との比を一定として上限値を設けて試験しているので、全ベクトル点で生じる欠陥電流により見逃し欠陥電流が生じる場合がある。また、正常漏れ電流のベクトル点間の変動幅以下の欠陥電流を検出できない場合がある。

【0012】

ところで、CMOS 集積回路の電源電流は、スイッチング時の過渡電流と静止時の静止電流とに分けることができ、 I_{DDQ} 試験では静止時の静止電流を測定して良否判定を行うのが一般的である。

従来の I_{DDQ} 試験では、 I_{DDQ} が FET 内部の漏れ電流 (FET 漏れ電流) であることを想定している。

【0013】

近年、集積度の向上、携帯機器の小型化および集積化によるコストダウン等により、異なるデザインの複数のチップを同一チップに集積して実現することが重要なっている。

このため、CMOS 集積回路を、プルアップ、プルダウン、バス衝突等による電流（回路漏れ電流）を有する回路と共に I_{DDQ} 試験を行う必要が生じている。

本発明の目的は、回路漏れ電流の有無に関わらずに良品の判定が可能な CMOS

S集積回路の良品判定方法を提供することにある。

【0014】

【課題を解決するための手段】

本発明に係るCMOS集積回路の第1の良品判定方法は、第1の前記CMOS集積回路Xにおける複数のベクトル点iでの静止電源電流の測定値 I_{Qxi} を示す第1のベクトル波形と、第2の前記CMOS集積回路Yにおける前記複数の前記ベクトル点iでの静止電源電流の測定値 I_{Qyi} を示す第2のベクトル波形とが相似であるか否かを検査する工程と、前記第1および第2のベクトル波形が相似である場合に、前記第1および第2の前記CMOS集積回路X、Yを良品であると判定する工程とを有する。

【0015】

本発明に係るCMOS集積回路の第1の良品判定方法は、好適には、前記第1および第2のベクトル波形が相似でない場合に、前記第1または第2の前記CMOS集積回路Y、Yを不良品であると判定する工程をさらに有する。

【0016】

本発明に係るCMOS集積回路の第1の良品判定方法では、好適には、前記検査する工程は、前記第1および第2の前記CMOS集積回路X、Yの前記測定値 I_{Qxi} 、 I_{Qyi} の偏差(I_{DQxi} 、 I_{DQyi})に基づいて回帰分析を行い、決定係数 r_A^2 と回帰直線の傾き S_A とを算出する工程と、前記決定係数 r_A^2 が下限値 L_{RA}^2 よりも大きく、かつ、前記第1および第2の前記CMOS集積回路Y、Xの前記測定値 I_{Qyi} 、 I_{Qxi} の平均値 I_{qy} 、 I_{qx} の比 I_{qy}/I_{qx} と前記傾き S_A との差異($S_A - I_{qy}/I_{qx}$)が許容範囲内である場合に、相似であると判定する工程とを有する。

【0017】

本発明に係るCMOS集積回路の第1の良品判定方法では、好適には、前記検査する工程は、前記第1の前記CMOS集積回路Xの前記測定値 I_{Qxi} の偏差 I_{DQxi} をその標準偏差 σ_{Qx} で除算した第1の標準値 $R_{Qxi} = I_{DQxi}/\sigma_{Qx}$ 、および、前記第2の前記CMOS集積回路Yの前記測定値 I_{Qyi} の偏差 I_{DQyi} をその標準偏差 σ_{Qy} で除算した第2の標準値 $R_{Qyi} = I_{DQyi}/\sigma_{Qy}$ を算出する工程と、前

記第1および第2の標準値 (R_{Qxi} , R_{Qyi}) に基づいて回帰分析を行い、決定係数 r_B^2 と回帰直線の傾き S_B とを算出する工程と、前記決定係数 r_B^2 が下限値 L_{RB}^2 よりも大きく、かつ、前記傾き S_B と1との差異 ($S_B - 1$) が許容範囲内である場合に、相似であると判定する工程とを有する。

【0018】

本発明に係るCMOS集積回路の第1の良品判定方法では、好適には、前記検査する工程は、前記第1および第2の前記CMOS集積回路X, Yを含む数個以上の前記CMOS集積回路について、前記測定値 I_{Qi} の平均値 I_q および標準偏差 σ_Q を示すプロットが分布する散布図を作成する工程と、前記散布図でプロットが集中する直線を求め、当該直線から許容範囲内に前記第1および第2の前記CMOS集積回路X, Yに対応するプロットが位置する場合に、相似であると判定する工程とを有する。

【0019】

本発明に係るCMOS集積回路の第1の良品判定方法では、好適には、前記検査する工程は、前記第1および第2の前記CMOS集積回路X, Yを含む数個以上の前記CMOS集積回路について、前記測定値 I_{Qi} の平均値 I_q および偏差 I_{DQi} を示すプロットが分布する散布図を作成する工程と、前記散布図でプロットが集中する直線を求め、当該直線から許容範囲内に前記第1および第2の前記CMOS集積回路X, Yに対応するプロットが位置する場合に、相似であると判定する工程とを有する。

【0020】

本発明に係るCMOS集積回路の第2の良品判定方法は、良品の数個以上の前記CMOS集積回路について静止電源電流の測定値 I_{Li} とその平均値 I_1 に基づき、前記測定値 I_{Li} の偏差 $I_{DLi} = I_{Li} - I_1$ を前記平均値 I_1 で除算した第1の係数 $K_{Li} = I_{DLi} / I_1$ を算出し、前記第1の係数 K_{Li} を前記数個以上の前記CMOS集積回路で平均化した第2の係数 K_{Ni} を算出する工程と、試験対象の前記CMOS集積回路について静止電源電流の測定値 I_{Qi} とその平均値 I_q に基づいて偏差 $I_{DQi} = I_{Qi} - I_q$ を算出する工程と、前記第2の係数 K_{Ni} と前記偏差 I_{DQi} に基づいて回帰分析を行い、決定係数 r_C^2 および回帰直線の傾き

S_C を算出する工程と、前記決定係数 r_C^2 が下限値 L_{RC}^2 よりも大きく、かつ、前記試験対象の前記CMOS集積回路の前記平均値 I_q で前記傾き S_C を除算した値 (S_C / I_q) と 1 との差異 ($S_C / I_q - 1$) が許容範囲内である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程とを有する。

【0021】

本発明に係るCMOS集積回路の第2の良品判定方法は、好適には、前記決定係数 r_C^2 が下限値 L_{RC}^2 よりも大きいという条件、および、前記平均値 I_q で前記傾き S_C を除算した値 (S_C / I_q) と 1 との差異 ($S_C / I_q - 1$) が許容範囲内であるという条件の何れかを満たさない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する。

【0022】

本発明に係るCMOS集積回路の第3の良品判定方法は、良品の数個以上の前記CMOS集積回路についての静止電源電流の測定値 I_{Li} に基づき、当該測定値 I_{Li} の偏差 I_{DLi} をその標準偏差 σ_L で除算した第1の標準値 $R_{Li} = I_{DLi} / \sigma_L$ を算出し、前記第1の標準値 R_{Li} を前記数個以上の前記CMOS集積回路で平均化した第2の標準値 R_{Ni} を算出する工程と、試験対象の前記CMOS集積回路についての静止電源電流の測定値 I_{Qi} に基づき、当該測定値 I_{Qi} の偏差 I_{DQi} をその標準偏差 σ_Q で除算した第3の標準値 $R_{Qi} = I_{DQi} / \sigma_Q$ を算出する工程と、前記第2および第3の標準値 (R_{Ni} , R_{Qi}) に基づいて回帰分析を行い、決定係数 r_D^2 および回帰直線の傾き S_D を算出する工程と、前記決定係数 r_D^2 が下限値 L_{RD}^2 よりも大きく、かつ、前記傾き S_D と 1 との差異 ($S_D - 1$) が許容範囲内である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程とを有する。

【0023】

本発明に係るCMOS集積回路の第3の良品判定方法は、好適には、前記決定係数 r_D^2 が下限値 L_{RD}^2 よりも大きいという条件、および、前記傾き S_D と 1 との差異 ($S_D - 1$) が許容範囲内であるという条件の何れかを満たさない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさら

に有する。

【0024】

本発明に係るCMOS集積回路の第4の良品判定方法は、良品の数個以上の前記CMOS集積回路についての静止電源電流の測定値 I_{Li} に基づき、当該測定値 I_{Li} の偏差 I_{DLi} をその標準偏差 σ_L で除算した第1の標準値 $R_{Li} = I_{DLi} / \sigma_L$ を算出し、前記第1の標準値 R_{Li} を前記数個以上の前記CMOS集積回路で平均化した第2の標準値 R_{Ni} を算出する工程と、前記測定値 I_{Li} の偏差 I_{DLi} から、前記標準偏差 σ_L と前記第2の標準値 R_{Ni} との乗算値 $R_{Ni} \times \sigma_L$ を減算した値の絶対値 $|I_{DLi} - R_{Ni} \times \sigma_L|$ の上限値 E_{MAX} を求める工程と、試験対象の前記CMOS集積回路についての静止電源電流の測定値 I_{Qi} の偏差 I_{DQi} から、その標準偏差 σ_Q と前記第2の標準値 R_{Ni} との乗算値 $R_{Ni} \times \sigma_Q$ を減算した値の絶対値 $|I_{DQi} - R_{Ni} \times \sigma_Q|$ が、前記上限値 E_{MAX} 未満であるか否かを検出する工程と、前記絶対値 $|I_{DQi} - R_{Ni} \times \sigma_Q|$ が前記上限値 E_{MAX} 未満である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程とを有する。

【0025】

本発明に係るCMOS集積回路の第4の良品判定方法は、好適には、前記絶対値 $|I_{DQi} - R_{Ni} \times \sigma_Q|$ が前記上限値 E_{MAX} 未満でない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する。

【0026】

本発明に係るCMOS集積回路の第5の良品判定方法は、良品の数個以上の前記CMOS集積回路についての静止電源電流の測定値 I_{Li} に基づき、その標準偏差 σ_L および平均値 I_1 を示すプロットが分布する散布図を作成し、前記散布図でプロットが集中する直線の傾き $(1 / \sigma_R)$ を求める工程と、試験対象の前記CMOS集積回路についての静止電源電流の測定値 I_{Qi} の平均値 I_q から、当該測定値 I_{Qi} の標準偏差 σ_Q と前記傾き $(1 / \sigma_R)$ との乗算値 σ_Q / σ_R を減算した値 $(I_q - \sigma_Q / \sigma_R)$ が、上限値 L_{SE} 未満である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程とを有する。

【0027】

本発明に係るCMOS集積回路の第5の良品判定方法は、好適には、前記減算した値 ($I_q - \sigma_Q / \sigma_R$) が前記上限値 L_{SE} 以上である場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する。

【0028】

本発明に係るCMOS集積回路の第6の良品判定方法は、良品の前記CMOS集積回路についての静止電源電流の第1および第2のベクトル点での測定値 I_{L1} , I_{L2} の差 ($I_{L1} - I_{L2}$) を、当該測定値 I_{L1} , I_{L2} の平均値 I_1 で除算した基準値 $W_{L12} = (I_{L1} - I_{L2}) / I_1$ を算出する工程と、試験対象の前記CMOS集積回路についての静止電源電流の前記第1および第2のベクトル点での測定値 I_{Q1} , I_{Q2} の差 ($I_{Q1} - I_{Q2}$) を、当該測定値 I_{Q1} , I_{Q2} の平均値 I_q で除算した比較値 $W_{Q12} = (I_{Q1} - I_{Q2}) / I_q$ を算出する工程と、前記基準値 W_{L12} と前記比較値 W_{Q12} との差異 ($W_{Q12} - W_{L12}$) が許容範囲内である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程とを有する。

【0029】

本発明に係るCMOS集積回路の第6の良品判定方法は、好適には、前記差異 ($W_{Q12} - W_{L12}$) が前記許容範囲内でない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する。

【0030】

本発明に係るCMOS集積回路の第7の良品判定方法は、良品の数個以上の前記CMOS集積回路についての静止電源電流の測定値 I_{Li} に基づき、その偏差 $I_{DLi} = I_{Li} - I_1$ および平均値 I_1 を示すプロットが分布する散布図を作成し、前記散布図でプロットが集中する直線を求める工程と、試験対象の前記CMOS集積回路についての前記測定値 I_{Qi} の平均値 I_q から前記直線に基づいて予測される予測偏差 J_{DQi} を算出する工程と、前記試験対象の前記CMOS集積回路についての静止電源電流の測定値 I_{Qi} の偏差 $I_{DQi} = I_{Qi} - I_q$ と前記予測偏差 J_{DQi} との差異 ($I_{DQi} - J_{DQi}$) が許容範囲内である場合に、前記試験対象の前記CMOS集積回路を良品であると判定する工程とを有する。

【0031】

本発明に係るCMOS集積回路の第7の良品判定方法は、好適には、前記差異

($I_{DQi} - J_{DQi}$) が前記許容範囲内でない場合に、前記試験対象の前記CMOS集積回路を不良品であると判定する工程をさらに有する。

【0032】

【発明の実施の形態】

以下、本発明の実施の形態を説明する。

【0033】

良品のCMOS集積回路

回路漏れ電流や、ディープサブミクロン（ゲート長が $0.25\mu m$ 以下のIC）のFET漏れ電流は、数百 μA 以上の電流値を示すことがある。これらの漏れ電流は、同一デザインのCMOS集積回路であっても製造条件のバラツキにより、個々のCMOS集積回路で異なる電流値となることが多い。

【0034】

また、テストパターンによる内部ノードの変化によってベクトル点（ストローブ点）毎に回路漏れ電流が変化したり、DIBL (Drain Induced Barrier Lowering) および／またはGIDL (Gate Induced Drain Leakage) によってFET漏れ電流が変化したりする。

この点については、M.C.Johnson, D.Somasekhar, and K.Roy."Models and Algorithms for Bounds on Leakage in CMOS Circuits,". IEEE Tran.CAD IC Sys., Vol. 18, No.6, pp.714-725, Jun. 1999を参考にすることができる。

【0035】

本実施の形態において、静止電源電流 I_{DDQ} を測定する場合は、テストパターンの切替終了時からクロックを保持し、所定時間が経て安定になった時の電流値を測定し、この測定電流はFET漏れ電流以外の電流を含んでいてもよいこととする。

【0036】

ベクトル点（測定点）にシリアル番号を付し、当該ベクトル点と当該ベクトル点での測定電流値とを示すプロットが分布する散布図を作成した場合、シリアル番号の順にプロット間を結ぶ線からなるベクトル波形は、良品のCMOS集積回路の間で相似または略相似になることが多いと考えられる。

図1～図3は、良品のCMOS集積回路の間でベクトル波形が相似である場合を例示する説明図である。なお、図1～図3において、横軸をベクトル点のシリアル番号 i とし、縦軸を静止電源電流の測定値 I_{Li} とし、各CMOS集積回路でのベクトル点の総数を20個としている。

【0037】

図1は、良品の2個のCMOS集積回路Die-A, Die-Bにおいて、静止電源電流を測定する測定点を示すベクトル点と、当該ベクトル点での静止電源電流の測定値との関係を例示する概略図である。この概略図には、プロット間を結ぶ折れ線からなるベクトル波形が表示されている。

なお、○印は良品のCMOS集積回路Die-Aにおけるベクトル点での静止電源電流の測定値に対応しており、△印は良品のCMOS集積回路Die-Bにおけるベクトル点での静止電源電流の測定値に対応している。

【0038】

図2は、図1の各ベクトル波形をシフトして重ねた場合の概略図である。

図3は、図1中のDie-Bのベクトル波形を縦方向に拡大し、拡大したベクトル波形とDie-Aのベクトル波形とを重ねた場合の概略図であり、ベクトル波形同士が重複して一致している。このように、図1～図3に示す良品のCMOS集積回路Die-A, Die-Bのベクトル波形は相似している。また、この相似関係を利用して良品のCMOS集積回路を選別可能である。

【0039】

良品のCMOS集積回路間のベクトル波形の相似関係を考慮し、良品のCMOS集積回路の静止電源電流 I_{DDQ} である正常漏れ電流 I_{Li} を、次式(1)で表す。なお、次式(1)中の R_i は比例係数である。

【0040】

【数1】

$$I_{Li} = R_i \times I_p + I_{AL} \quad \dots (1)$$

【0041】

上式(1)において、 I_p , I_{AL} と、正常漏れ電流 I_{Li} の平均値 I_1 との間には、次式(2)の関係が成立する。すなわち、平均値 I_1 は、全ベクトル点で一

定の大きさの一定電流値 I_{AL} と、ベクトル波形の変化分に対して比例関係にあるパラメータ I_p との和で表される。

【0042】

【数2】

$$I_1 = I_p + I_{AL} \cdots (2)$$

【0043】

測定電流と欠陥電流

欠陥電流を含むCMOS集積回路において、各ベクトル点で測定される静止電源電流の測定値 I_{Qi} は、正常漏れ電流 I_{Li} と、各ベクトル点で独立またはランダムに発生する欠陥電流 I_{RDi} と、各ベクトル点で同様に発生する一定の欠陥電流 I_{SD} との合計により、次式(3)で表される。

【0044】

【数3】

$$I_{Qi} = I_{Li} + I_{RDi} + I_{SD} \cdots (3)$$

【0045】

良品選別

ところで、CMOS集積回路の良否判定を行うには、良品のCMOS集積回路を前もって集めておくことが望ましい。このように、良品のCMOS集積回路を集めることを良品選別という。

【0046】

良品選別-1

良品のCMOS集積回路における全ベクトル点 i ($i = 1 \sim n$) での正常漏れ電流 I_{Li} とその平均値 I_1 から、偏差 I_{DLi} は次式(4)で表される。なお、ベクトル点の総数 n を数個以上とした場合、平均値 $I_1 = (I_{L1} + I_{L2} + \cdots + I_{Ln}) / n$ である。

【0047】

【数4】

$$I_{DLi} = I_{Li} - I_1 \cdots (4)$$

【0048】

上式(4)に対し、上式(1)の正常漏れ電流 I_{Li} と上式(2)の平均値 I_1 とを代入することで、次式(5)が得られる。

【0049】

【数5】

$$\begin{aligned} I_{DLi} &= (R_i \times I_p + I_{AL}) - (I_p + I_{AL}) \\ &= (R_i - 1) \times I_p \quad \cdots (5) \end{aligned}$$

【0050】

2個の良品のCMOS集積回路X, Yについて、各ベクトル点での偏差の比は、次式(6)で表される。

但し、上記2個の良品のCMOS集積回路のパラメータ I_p および偏差 I_{DLi} は、CMOS集積回路Xではパラメータ I_{px} および偏差 I_{DLxi} としており、CMOS集積回路Yではパラメータ I_{py} および偏差 I_{DLYi} としている。

【0051】

【数6】

$$\begin{aligned} I_{DLYi} / I_{DLxi} &= \{ (R_i - 1) \times I_{py} \} / \{ (R_i - 1) \times I_{px} \} \\ &= I_{py} / I_{px} \quad \cdots (6) \end{aligned}$$

【0052】

このように、CMOS集積回路X, Yが良品である場合は、偏差の比は、ベクトル点に依存せずに一定である。

そこで、偏差の比 $(I_{DLYi} / I_{DLxi}) = S_A$ とおく。

【0053】

図4は、試験対象の複数のCMOS集積回路から2個のCMOS集積回路X, Yを抽出し、各ベクトル点での偏差をプロットした場合の説明図である。良品を○印で表しており、不良品を△印で表している。

抽出された2個のCMOS集積回路X, Yが良品である場合は、プロットは直線(回帰直線)上に並び、この回帰直線の傾きは S_A となる。

2個のCMOS集積回路の相関を示す決定係数(相関係数、residual square) r^2 は、次式(7)で表され、当該2個のCMOS集積回路が良品である場合は、 r^2 の値は1または実質的に1である。

【0054】

【数7】

$$r^2 = 1 - \frac{\sum_{i=1}^n (y_i - y_{Hi})^2}{\sum_{i=1}^n (y_i - y_A)^2} \dots (7)$$

【0055】

なお、上式(7)において、 y_i はベクトル点 i での CMOS 集積回路 Y の静止電源電流の測定値であり、 y_A は測定値 y_i ($= I_{Qy_i}$) の平均値であり、 y_{Hi} は、ベクトル点 i での CMOS 集積回路 X の静止電源電流の測定値 x_i ($= I_{Qxi}$) から回帰直線を用いて測定値 y_i を予測した予測値 (predicted value) である。これに対し、実際の測定値 y_i を実測値 (actual value) という。

【0056】

具体的には、CMOS 集積回路 Y の静止電源電流の測定値 y_i を、 $y_i = c + S_A \cdot x_i$ で近似できる場合、予測値 y_{Hi} は、回帰式 $y_{Hi} = c + S_A \cdot x_i$ で表される。回帰式中の符号 c は、定数である。

測定値 y_i と予測値 y_{Hi} との差が小さいほど、予測からの外れが小さいことを示す。そこで、上式(7)によって決定係数 r^2 を算出し、この決定係数 r^2 を回帰式のあてはまりの尺度として用いることができる。

なお、回帰分析 (regression analysis) に関しては、竹村著、「共立講座 21世紀の数学14：統計」、36～37頁、共立出版、1997を参考にすることができる。

【0057】

2個のCMOS 集積回路の静止電源電流の測定値のうち一方または双方が欠陥電流 I_{RDi} を含む場合、当該測定値のプロットは回帰直線上からずれて、決定係数 r^2 の値は小さくなる。

良品のCMOS 集積回路では、上式(1)、(2)において $I_{AL} = 0$ である場

合に、2個のCMOS集積回路のうち一方または双方が一定の欠陥電流 I_{SD} を含むときに、測定値 I_{Qi} の平均値 I_q は正常漏れ電流 I_{Li} の平均値 I_1 よりも大きくなり、2個のCMOS集積回路Y, Xの静止電源電流の平均値 I_{qy} , I_{qx} の比 (I_{qy}/I_{qx}) は回帰直線の傾き S_A に一致しなくなる。

【0058】

そこで、2個のCMOS集積回路X, Yについて、決定係数 r^2 が予め設定された下限値 L_{RA}^2 よりも大きいという条件と、静止電源電流の平均値の比と回帰直線の傾き S_A との差 $(S_A - I_{qy}/I_{qx})$ が予め設定された範囲内であるとの条件を満たす場合に、当該2個のCMOS集積回路X, Yをベクトル波形が相似すると判定し、良品として選別することができる。

【0059】

良品選別-2

上式(1)の正常漏れ電流 I_{Li} の標準偏差 σ_L は、比例係数 R_i の標準偏差 σ_R を用いて次式(8)で表される。

【0060】

【数8】

$$\sigma_L = \sigma_R \times I_p \quad \dots (8)$$

【0061】

正常漏れ電流 I_{Li} の標準値 R_{Li} は、平均値 I_1 および標準偏差 σ_L を用いて、次式(9)で表される。

【0062】

【数9】

$$R_{Li} = (I_{Li} - I_1) / \sigma_L \quad \dots (9)$$

【0063】

上式(9)は、式(4), (5)を用いて、次式(10)のように変形することができる。

【0064】

【数10】

$$R_{Li} = I_{DLi} / \sigma_L$$

$$= (R_i - 1) \times I_p / \sigma_L \quad \cdots (10)$$

【0065】

上式(10)は、式(8)を用いて、次式(11)のように変形することができる。

【0066】

【数11】

$$\begin{aligned} R_{Li} &= (R_i - 1) \times I_p / (\sigma_R \times I_p) \\ &= (R_i - 1) / \sigma_R \quad \cdots (11) \end{aligned}$$

【0067】

上式(11)から、標準値 R_{Li} は、正常漏れ電流 I_{Li} によらずに同じ値をとる。このため、2個のCMOS集積回路X, Yが良品である場合、ベクトル点での標準値の比を求めるとき、次式(12)のように値が1になる。なお、次式(12)において、CMOS集積回路Xの正常漏れ電流の標準値を R_{Lxi} とし、CMOS集積回路Yの正常漏れ電流の標準値を R_{Lyi} としている。

【0068】

【数12】

$$\begin{aligned} R_{Lyi} / R_{Lxi} &= \{ (R_i - 1) / \sigma_R \} / \{ (R_i - 1) / \sigma_R \} \\ &= 1 \quad \cdots (12) \end{aligned}$$

【0069】

一方、欠陥電流を含む静止電源電流の測定値 I_{Qi} の標準値 R_{Qi} は、測定値 I_{Qi} の標準偏差 σ_Q および平均値 I_q を用いて、次式(13)で表される。

【0070】

【数13】

$$R_{Qi} = (I_{Qi} - I_q) / \sigma_Q \quad \cdots (13)$$

【0071】

上式(13)に対し、式(3)を用いることで、次式(14)が得られる。なお、欠陥電流 I_{RDi} の平均値を I_{rd} としている。

【0072】

【数14】

$$R_{Qi} = \{ (I_{Li} + I_{RDi} + I_{SD}) - (I_1 + I_{rd} + I_{SD}) \} / \sigma_Q \\ = (I_{Li} - I_1 + I_{RDi} - I_{rd}) / \sigma_Q \quad \cdots (14)$$

【0073】

欠陥電流 I_{RDi} による標準偏差 σ_Q の変化が小さいので、標準偏差 σ_Q は σ_L で近似することができ、この近似により上式 (14) を次式 (15) に変形することができる。

【0074】

【数15】

$$R_{Qi} = (I_{Li} - I_1) / \sigma_L + (I_{RDi} - I_{rd}) / \sigma_L \\ = R_{Li} + (I_{RDi} - I_{rd}) / \sigma_L \quad \cdots (15)$$

【0075】

標準値 R_{Qi} の散布図では、欠陥電流 I_{RDi} により標準値 R_{Qi} が回帰直線から外れることにより、決定係数 r_B^2 は小さくなるので、決定係数 r_B^2 の下限の設定により良品選別を行うことができる。

【0076】

具体的には、2個のCMOS集積回路X, Yの静止電源電流の測定値 I_{Qxi} , I_{Qyi} から、平均値 I_{qx} , I_{qy} および標準偏差 σ_{Qx} , σ_{Qy} を算出し、標準値 R_{Qxi} , R_{Qyi} を算出する。そして、標準値 (R_{Qxi} , R_{Qyi}) の回帰分析を行い、決定係数 r_B^2 と回帰直線の傾き S_B とを算出する。

決定係数 r_B^2 が予め設定された下限値 L_{RB}^2 よりも大きいという条件と、回帰直線の傾き S_B と1との差 ($S_B - 1$) が予め設定された許容範囲内であるという条件とを満たす場合に、当該2個のCMOS集積回路X, Yをベクトル波形が相似すると判定し、良品として選別することができる。

【0077】

良品選別-3

式(2)を用いることで、式(8)を次式(16)に変形することができる。

【0078】

【数16】

$$\sigma_L = \sigma_R \times (I_1 - I_{AL}) \quad \cdots (16)$$

【0079】

上式(16)を変形することで、次式(17)が得られる。

【0080】

【数17】

$$I_1 = I_{AL} + \sigma_L / \sigma_R \quad \cdots (17)$$

【0081】

試験対象のCMOS集積回路についての静止電源電流の測定値 I_{Qi} の標準偏差 σ_Q を横軸にとり、平均値 I_q を縦軸にとって散布図を作成した場合、良品のCMOS集積回路に対応するプロットは直線（理想直線）上に位置する。

そこで、試験対象のCMOS集積回路のうち、理想直線から許容範囲（例えば理想直線の上下の平行線に挟まれた中間領域）に位置するプロットに対応するCMOS集積回路を、良品として選別することができる。

【0082】

図5は、スキャンテストをパスした約800個のCMOS集積回路について、静止電源電流の測定値の平均値 I_q と標準偏差 σ_Q との分布を例示する概略的な散布図である。良品のCMOS集積回路に対応するプロットの多くは、 $I_q = 0.7 + 0.5 \times \sigma_Q$ の直線（すなわち理想直線）上またはその近傍に位置している。

なお、×印のプロットは、 I_{DDQ} 試験をパスしなかった不良品のCMOS集積回路に対応している。+印のプロットは、 I_{DDQ} 試験をパスした良品のCMOS集積回路に対応している。

【0083】

図6は、図5のCMOS集積回路の群について、比例係数 R_i の標準偏差の逆数 ($1/\sigma_R$) の分布図である。この分布図では、横軸が $1/\sigma_R$ を示し、縦軸が頻度を示している。分布の平均値は約0.5であり、分布の標準偏差は約0.02であり、分布の平均値は図5中の理想直線の傾き0.5と一致している。

【0084】

良品選別-4

正常漏れ電流 I_{Li} の偏差 I_{DLi} を示す式(5)は、式(2)を用いて、次式(

18) に変形することができる。

【0085】

【数18】

$$\begin{aligned} I_{DLi} &= (R_i - 1) \times (I_1 - I_{AL}) \\ &= (R_i - 1) \times I_1 + (1 - R_i) \times I_{AL} \quad \dots (18) \end{aligned}$$

【0086】

ここで、良品のCMOS集積回路について、偏差 I_{DLi} および平均値 I_1 を示すプロットが分布する散布図を作成すると、上式 (18) に対応する直線上またはその近傍にプロットが位置することになる。

【0087】

欠陥電流 I_{RDi} を含む静止電源電流の測定値 I_{Qi} の偏差 I_{DQi} は、式 (3), (18) を用いて、次式 (19) で表される。

【0088】

【数19】

$$\begin{aligned} I_{DQi} &= I_{Qi} - I_q \\ &= (I_{Li} + I_{RDi} + I_{SD}) - (I_1 + I_{rd} + I_{SD}) \\ &= I_{DLi} + I_{RDi} - I_{rd} \\ &= (R_i - 1) \times I_1 + (1 - R_i) \times I_{AL} + I_{RDi} - I_{rd} \quad \dots (19) \end{aligned}$$

【0089】

上式 (19) に対し、 $I_1 = I_q - I_{rd} - I_{SD}$ を代入すると、次式 (20) が得られる。

【0090】

【数20】

$$\begin{aligned} I_{DQi} &= (R_i - 1) \times (I_q - I_{rd} - I_{SD}) + (1 - R_i) \times I_{AL} - I_{rd} \\ &\quad + I_{RDi} \\ &= (R_i - 1) \times I_q + (1 - R_i) \times (I_{AL} + I_{SD}) - R_i \times I_{rd} \\ &\quad + I_{RDi} \quad \dots (20) \end{aligned}$$

【0091】

上式 (20) と式 (18) との違いから、試験対象のCMOS集積回路につい

て、偏差 I_{DQi} および平均値 I_q を示すプロットが分布する散布図を作成すると、測定値 I_{Qi} が欠陥電流を含む場合は、上式 (18) に対応する直線（理想直線）上からずれてプロットが位置することになる。

そこで、試験対象のCMOS集積回路のうち、理想直線から許容範囲（例えば理想直線の上下の平行線に挟まれた中間領域）に位置するプロットに対応するCMOS集積回路を、良品として選別することができる。この選別手法は、ベクトル数が少ない場合に、有効である。

【0092】

図7は、約800個のCMOS集積回路について、静止電源電流の測定値の平均値 I_q と偏差 $I_{DQi} = I_{Qi} - I_q$ との分布を例示する概略的な散布図である。良品のCMOS集積回路に対応するプロットの多くは、 $I_{DQi} = 0.75 - 0.96 \times I_q$ の直線（すなわち理想直線）上またはその近傍に位置している。

なお、×印のプロットは、 I_{DDQ} 試験をパスしなかった不良品のCMOS集積回路に対応している。+印のプロットは、 I_{DDQ} 試験をパスした良品のCMOS集積回路に対応している。

【0093】

予測誤差

良品選別で得られた良品の複数のCMOS集積回路の各々について、標準値 R_{Li} を算出し、標準値 R_{Li} を当該複数のCMOS集積回路で平均化して基準となる標準値 R_{Ni} を算出する。この標準値 R_{Ni} および式 (9) を用いることで、正常漏れ電流 I_{Li} の予測値 J_{Li} は、次式 (21) で得ることができる。

【0094】

【数21】

$$J_{Li} = R_{Ni} \times \sigma_L + I_1 \quad \cdots (21)$$

【0095】

標準値 R_{Ni} の算出の元になった、良品のCMOS集積回路の静止電源電流の測定値 I_{Li} 、平均値 I_1 、および、標準偏差 σ_L を用いて、予測誤差 E_i は次式 (22) で表される。

【0096】

【数22】

$$\begin{aligned} E_i &= I_{Li} - J_{Li} \\ &= I_{Li} - I_1 - R_{Ni} \times \sigma_L \quad \cdots (22) \end{aligned}$$

【0097】

図8は、良品のCMOS集積回路について、標準偏差 σ_L および予測誤差 E_i を示すプロットの分布を例示する散布図である。この図8では、予測誤差 E_i は標準偏差 σ_L の約半分以下となっており、すなわち最大値 E_{MAX} は標準偏差 σ_L の約半分になっている。

このようにして、予測誤差 E_i の最大値 E_{MAX} を、良品のCMOS集積回路の全ベクトル点について求めることができる。

【0098】

良否判定

良品選別で得られた良品のCMOS集積回路の特性と、試験対象のCMOS集積回路の静止電源電流の測定値 I_{Qi} とに基づき、試験対象のCMOS集積回路の良否判定を行うことができる。

【0099】

良否判定-1 (I_{RD}試験)

試験対象のCMOS集積回路に対し、式(22)に基づき、次式(23)の推定誤差 P_{Di} を考える。この式(23)では、試験対象のCMOS集積回路の静止電源電流の測定値 I_{Qi} と、平均値 I_q と、標準偏差 σ_Q とを用いている。

【0100】

【数23】

$$P_{Di} = I_{Qi} - I_q - R_{Ni} \times \sigma_Q \quad \cdots (23)$$

【0101】

測定値 I_{Qi} の平均値 I_q は、式(3)を用いて、次式(24)で表される。

【0102】

【数24】

$$I_q = I_1 + I_{rd} + I_{SD} \quad \cdots (24)$$

【0103】

式(23)に対し、式(24)、(3)、(22)を適用することで、次式(25)を得ることができる。

【0104】

【数25】

$$\begin{aligned} P_{Di} &= (I_{Li} + I_{RDi} + I_{SD}) - (I_1 + I_{rd} + I_{SD}) - R_{Ni} \times \sigma_Q \\ &\doteq I_{Li} - I_1 - R_{Ni} \times \sigma_L + I_{RDi} - I_{rd} \\ &= E_i + I_{RDi} - I_{rd} \quad \cdots (25) \end{aligned}$$

【0105】

上式(25)において、標準偏差 σ_Q は、欠陥電流 I_{RDi} による変化が小さいので、標準偏差 σ_L で近似している。

良品では、欠陥電流 I_{RDi} が0または実質的に0であるので、良品判定条件は、次式(26)で表すことができる。

【0106】

【数26】

$$-E_{MAX} < P_{Di} < E_{MAX} \quad \cdots (26)$$

【0107】

不良品の欠陥電流 I_{RDi} は、予測誤差 $E_i = E_{MAX}$ である場合に、上式(25)を用いて次式(27)で表され、この式(27)で表される値を目安にすることができる。

【0108】

【数27】

$$I_{RDi} = P_{Di} - E_{MAX} + I_{rd} \quad \cdots (27)$$

【0109】

良否判定-2 (I_{SD}試験)

CMOS集積回路の静止電源電流の測定値 I_{Qi} において、欠陥電流 I_{RDi} がない場合は、式(3)から測定値 I_{Qi} は次式(28)で表される。

【0110】

【数28】

$$I_{Qi} = I_{Li} + I_{SD} \quad \cdots (28)$$

【0111】

この場合の測定値 I_{Qi} の標準偏差 σ_Q は、正常漏れ電流 I_{Li} の標準偏差 σ_L に等しいので、式(8)から、パラメータ I_p は次式(29)で表される。

【0112】

【数29】

$$I_p = \sigma_Q / \sigma_R \quad \cdots (29)$$

【0113】

上式(28)の測定値 I_{Qi} の平均値 I_q は、式(2)を用いて、次式(30)で表される。

【0114】

【数30】

$$\begin{aligned} I_q &= I_1 + I_{SD} \\ &= I_p + I_{AL} + I_{SD} \quad \cdots (30) \end{aligned}$$

【0115】

上式(30), (29)により、測定値 I_{Qi} の直流成分の合計値 ($I_{AL} + I_{SD}$) は、次式(31)で表される。

【0116】

【数31】

$$\begin{aligned} I_{AL} + I_{SD} &= I_q - I_p \\ &= I_q - \sigma_Q / \sigma_R \quad \cdots (31) \end{aligned}$$

【0117】

試験対象のCMOS集積回路の漏れ電流がFET漏れ電流のみである場合、次式(32)に示すように、合計値 ($I_{AL} + I_{SD}$) が予測誤差 E_i の最大値 E_{MAX} 未満であることを良品の条件とすることができます。

【0118】

【数32】

$$E_{MAX} > I_q - \sigma_Q / \sigma_R \quad \cdots (32)$$

【0119】

試験対象のCMOS集積回路の漏れ電流が回路漏れ電流を含み、製造条件のバ

ラツキにより回路漏れ電流の大きさにバラツキがある場合、当該回路漏れ電流の大きさのバラツキの許容範囲内であることを良品の条件とすることができます。次式(33)では、上限値 L_{SE} が許容範囲に対応している。

【0120】

【数33】

$$L_{SE} > I_q - \sigma_Q / \sigma_R \quad \dots (33)$$

【0121】

良否判定-3

良品の複数のCMOS集積回路について、各ベクトル点における正常漏れ電流 I_{Li} の偏差に対応する係数 $K_{Li} = (I_{Li} - I_1) / I_1$ を予め算出し、係数 K_{Li} を当該複数のCMOS集積回路で平均化して基準となる係数 K_{Ni} を算出する。

次に、試験対象のCMOS集積回路の測定値 I_{Qi} から、平均値 I_q と偏差 I_{DQi} _i ($= I_{Qi} - I_q$)とを算出する。

【0122】

そして、係数 K_{Ni} および偏差 I_{DQi} の回帰分析を行い、決定係数 r_C^2 と回帰直線の傾き S_C とを算出する。

決定係数 r_C^2 が予め設定された下限値 L_{RC}^2 以上であるという条件と、比 S_C / I_q と1との差 $(S_C / I_q - 1)$ が予め設定された許容範囲内であるという条件とを満たす場合に、当該2個のCMOS集積回路をベクトル波形が相似すると判定し、試験対象のCMOS集積回路を良品として選別することができる。

【0123】

良否判定-4

良品の複数のCMOS集積回路について、各ベクトル点における正常漏れ電流 I_{Li} とその平均値 I_1 と標準偏差 σ_L に基づいて標準値 $R_{Li} = (I_{Li} - I_1) / \sigma_L$ を予め算出し、標準値 R_{Li} を当該複数のCMOS集積回路で平均化して基準となる標準値 R_{Ni} を算出する。

次に、試験対象のCMOS集積回路の測定値 I_{Qi} から、平均値 I_q と偏差 I_{DQi} _i ($= I_{Qi} - I_q$)と標準偏差 σ_Q と標準値 $R_{Qi} = I_{DQi} / \sigma_Q$ を算出する。

【0124】

そして、標準値 (R_{Ni} , R_{Qi}) の回帰分析を行い、決定係数 r_D^2 と回帰直線の傾き S_D とを算出する。

決定係数 r_D^2 が予め設定された下限値 L_{RD}^2 以上であるという条件と、回帰直線の傾き S_D と 1 との差 ($S_D - 1$) が予め設定された許容範囲内であるという条件とを満たす場合に、当該 2 個の CMOS 集積回路をベクトル波形が相似すると判定し、試験対象の CMOS 集積回路を良品として選別することができる。

【0125】

良否判定－5 (2点試験法)

CMOS 集積回路の I_{DDQ} 試験では、最初のベクトル点の測定値で約 60%～約 80% の不良を検出することができ、このため、1 点 (1 ベクトル点) 測定によるスタンバイ試験がよく行われる。

以下では、2 個のベクトル点での測定値に基づき、CMOS 集積回路を試験する 2 点試験法を説明する。

【0126】

良品の CMOS 集積回路において、1 点目での測定値 I_{L1} と 2 点目での測定値 I_{L2} との差 ($I_{L1} - I_{L2}$) を平均値 I_1 で除算した基準値 W_{L12} は、次式 (34) で表される。なお、基準値 W_{L12} は、測定値 I_{L1} , I_{L2} のバラツキの程度の目安に対応している。

【0127】

【数34】

$$W_{L12} = (I_{L1} - I_{L2}) / I_1 \quad \cdots (34)$$

【0128】

上式 (34) は、式 (1), (2) を用いて、次式 (35) のように変形することができる。

【0129】

【数35】

$$\begin{aligned} W_{L12} &= \{ (R_1 \times I_p + I_{AL}) - (R_2 \times I_p + I_{AL}) \} / (I_p + I_{AL}) \\ &= (R_1 - R_2) \times I_p / (I_p + I_{AL}) \quad \cdots (35) \end{aligned}$$

【0130】

上式(35)において、 I_{AL} が0または実質的に0である場合、次式(36)が得られる。

【0131】

【数36】

$$W_{L12} = R_1 - R_2 \quad \dots (36)$$

【0132】

このように、基準値 W_{L12} は、比例係数 R_1 、 R_2 の差となって一定値となるので、基準値 W_{L12} は良品のCMOS集積回路の測定値 I_{L1} 、 I_{L2} から前もって求めることができる。

【0133】

CMOS集積回路の静止電源電流の測定値 I_{Qi} が欠陥電流を含む場合、1点目での測定値 I_{Q1} と2点目での測定値 I_{Q2} との差($I_{Q1} - I_{Q2}$)を平均値 I_q で除算した比較値 W_{Q12} は、次式(37)で表される。

【0134】

【数37】

$$W_{Q12} = (I_{Q1} - I_{Q2}) / I_q \quad \dots (37)$$

【0135】

上式(37)は、式(3)を用いて、次式(38)のように変形することができる。

【0136】

【数38】

$$\begin{aligned} W_{Q12} &= \{ (I_{L1} + I_{RD1} + I_{SD}) - (I_{L2} + I_{RD2} + I_{SD}) \} / I_q \\ &= (I_{L1} - I_{L2} + I_{RD1} - I_{RD2}) / I_q \quad \dots (38) \end{aligned}$$

【0137】

式(24)において、 I_{rd} が0または実質的に0である場合、すなわち $I_{RD1} = I_{RD2} = 0$ である場合、平均値 $I_q = I_1 + I_{SD}$ となり、この平均値 I_q の式を上式(38)に代入することで、次式(39)が得られる。

【0138】

【数39】

$$W_{Q12} = (I_{L1} - I_{L2}) / (I_1 + I_{SD}) \cdots (39)$$

【0139】

上式(39)と式(34)とから、次式(40)が得られる。

【0140】

【数40】

$$W_{Q12} < W_{L12} \cdots (40)$$

【0141】

一方、式(24)において、 I_{SD} が0または実質的に0である場合、平均値 $I_q = I_1 + I_{rd}$ となる。さらに、 $I_{rd} \ll I_1$ であるときは、 $I_q \approx I_1$ となり、この平均値 I_q の式を用いて、上式(38)を次式(41)に変形することができる。

【0142】

【数41】

$$\begin{aligned} W_{Q12} &\approx (I_{L1} - I_{L2}) / I_1 + (I_{RD1} - I_{RD2}) / I_1 \\ &= W_{L12} + (I_{RD1} - I_{RD2}) / I_1 \cdots (41) \end{aligned}$$

【0143】

上式(41)によれば、欠陥電流 I_{RD1} 、 I_{RD2} の大小関係により、値 W_{Q12} 、 W_{L12} の大小関係が変化する。

これらの関係から、基準値 W_{L12} と比較値 W_{Q12} との差異($W_{Q12} - W_{L12}$)が予め設定された許容範囲内であることを良品の条件とすることで、上限値 T_{12} を用いて、良品の条件を次式(42)で表すことが可能である。

【0144】

【数42】

$$|W_{Q12} - W_{L12}| < T_{12} \cdots (42)$$

【0145】

テスタ

図9は、本発明に係るCMOS集積回路の良品判定方法を行うテスタの説明図である。このテスタ30は、測定器10と、コンピュータ20とを有し、CMOS集積回路 $50_1 \sim 50_N$ の I_{DDQ} 試験を行う。

測定器10は、CMOS集積回路 $50_1 \sim 50_N$ の静止電源電流 I_{DDQ} を各ベクトル点 i で測定し、測定値 I_{Qi} をコンピュータ20に供給する。

【0146】

コンピュータ20は、制御装置、記憶装置、入力装置および出力装置を有する。コンピュータ20の制御装置は、測定器10からの測定値 I_{Qi} に基づいて種々の演算を行い、演算結果に基づいてCMOS集積回路 $50_1 \sim 50_N$ の良否判定および相似検査を行い、良否判定結果および相似検査結果を出力装置に出力する。

【0147】

コンピュータ20の記憶装置は、制御装置によりアクセス制御される。

この記憶装置は、良品のCMOS集積回路の測定値と、CMOS集積回路 $50_1 \sim 50_N$ の各ベクトル点 i での各測定値 I_{Qi} を記憶する。なお、記憶装置は、CMOS集積回路 $50_1 \sim 50_N$ の静止電源電流 I_{DDQ} の測定前に、良品のCMOS集積回路の測定値 I_{Li} を予め記憶する構成としてもよい。

【0148】

良品判定方法

次に、CMOS集積回路の良品判定方法を、良品選別法と良否判別法とに分けて説明する。

良品選別法では、試験対象のCMOS集積回路(DUT)についての静止電源電流の測定値 I_{Qi} に基づき、試験対象のCMOS集積回路の群から良品を選別する。

【0149】

一方、良否判定法では、良品のCMOS集積回路についての静止電源電流の測定値 I_{Li} と、試験対象のCMOS集積回路についての静止電源電流の測定値 I_{Qi} とにに基づき、試験対象のCMOS集積回路が良品であるか否かを判定する。良品のCMOS集積回路は、例えば良品選別法で得られた良品のCMOS集積回路とする。

【0150】

良品選別法

図10は、図9のテスタ30において、コンピュータ20の処理を示す概略的なフローチャートであり、CMOS集積回路の良品選別法の実施の形態を示すフローチャートである。なお、スタート段階において、CMOS集積回路 $50_1 \sim 50_N$ の静止電源電流の測定値 I_{Q_i} が得られているものとする。

【0151】

ステップS1では、選別されるCMOS集積回路 $50_1 \sim 50_N$ のグループ（被選別IC群）から1個のCMOS集積回路を抽出して基準ICとし、この基準ICを被選別IC群から外す。

【0152】

ステップS2では、残りの被選別IC群を順次比較ICとし、比較ICと基準ICとのベクトル波形の相似検査を行う。

【0153】

ステップS3では、相似検査を行った被選別IC群の中に、ベクトル波形が相似である比較ICがあるか否かを判定する。

ベクトル波形が相似である比較ICがない場合は、ステップS4に進み、基準ICを不良品であると判定する。

ベクトル波形が相似である比較ICがある場合は、ステップS5に進み、当該比較ICを良品であると判定し、当該比較ICを被選別IC群から外す。

【0154】

このようなステップS1～S5を、被選別IC群の個数が1個または0個になるまで繰り返すことで、良品選別を行うことが可能である。

なお、ステップS5において、基準IC毎に比較ICを集めておくことで、波形の違いにより良品の分類を行うことができる。

【0155】

図11は、図10のステップS2において、相似検査の処理の第1の実施の形態を示す概略的なフローチャートである。

先ず、ステップS11では、基準ICの静止電源電流の測定値 I_{Qxi} に基づいて偏差 I_{DQxi} （＝ $I_{Qxi} - I_{qx}$ ）を算出し、比較ICの静止電源電流の測定値 I_{Qyi} に基づいて偏差 I_{DQyi} （＝ $I_{Qyi} - I_{qy}$ ）を算出する。

但し、 I_{Qxi} は、測定値 I_{Qxi} を全ベクトル点nで平均した平均値であり、 I_{Qy} は、測定値 I_{Qyi} を全ベクトル点nで平均した平均値である。

【0156】

ステップS12では、偏差(I_{DQxi} , I_{DQyi})の回帰分析を行い、決定係数 r_A^2 と回帰直線の傾き S_A とを算出する。

決定係数 r_A^2 は、例えば式(7)において、 $y_i = I_{DQyi}$ とし、 $y_A = I_{Qy}$ とし、 y_{Hi} は、偏差 I_{DQxi} から回帰直線を用いて予測した予測値とすることで、算出することができる。回帰直線の傾き S_A は、最小2乗法により算出することができる。

【0157】

ステップS13では、 $L_{RA}^2 < r_A^2$ および $|S_A - I_{Qy}/I_{Qx}| < L_{SA}$ を満たす場合に、比較ICおよび基準ICのベクトル波形が相似であると判定する。

但し、 L_{RA}^2 は、決定係数 r_A^2 の下限値であり、 L_{SA} は傾き S_A からのずれの許容範囲に対応する上限値である。

【0158】

図12は、図10のステップS2において、相似検査の処理の第2の実施の形態を示す概略的なフローチャートである。

先ず、ステップS21では、基準ICの静止電源電流の測定値 I_{Qxi} に基づいて標準値 $R_{Qxi} = (I_{Qxi} - I_{Qx}) / \sigma_{Qx}$ を算出し、比較ICの静止電源電流の測定値 I_{Qyi} に基づいて標準値 $R_{Qyi} = (I_{Qyi} - I_{Qy}) / \sigma_{Qy}$ を算出する。

但し、 σ_{Qx} は、測定値 I_{Qxi} の標準偏差であり、 σ_{Qy} は、測定値 I_{Qyi} の標準偏差である。

【0159】

ステップS22では、標準値(R_{Qxi} , R_{Qyi})の回帰分析を行い、決定係数 r_B^2 と回帰直線の傾き S_B とを算出する。

決定係数 r_B^2 は、例えば式(7)において、 $y_i = R_{Qyi}$ とし、 y_A は標準値 R_{Qyi} を全ベクトル点nで平均した平均値(すなわち0)とし、 y_{Hi} は、標準値 R_{Qxi} から回帰直線を用いて予測した予測値とすることで、算出することができる。回帰直線の傾き S_B は、最小2乗法により算出することができる。

【0160】

ステップS23では、 $L_{RB}^2 < r_B^2$ および $|S_B - 1| < L_{SB}$ を満たす場合に、比較ICおよび基準ICのベクトル波形が相似であると判定する。

但し、 L_{RB}^2 は、決定係数 r_B^2 の下限値であり、 L_{SB} は傾き S_B からのずれの許容範囲に対応する上限値である。

【0161】

図13は、図10のステップS2において、相似検査の処理の第3の実施の形態を示す概略的なフローチャートである。

先ず、ステップS31では、基準ICおよび比較ICを含む被選別IC群の静止電源電流の測定値 I_{Qi} の平均値 I_q と標準偏差 σ_Q とを算出し、 (I_q, σ_Q) の散布図を作成する。例えば、横軸が平均値 I_q を示し、縦軸が標準偏差 σ_Q を示す散布図であって、CMOS集積回路の (I_q, σ_Q) を示すプロットが分布する散布図を作成する。

【0162】

ステップS32では、散布図でプロットが集中する直線を求め、当該直線から許容範囲内（例えば所定の幅以内）に、基準ICおよび比較ICに対応する両プロットが位置する場合に、基準ICおよび比較ICのベクトル波形が相似であると判定する。

【0163】

なお、図13のフローチャートは、被選別IC群から良品のCMOS集積回路を抽出する場合に利用することができる。

例えば、被選別IC群の測定値 I_{Qi} の平均値 I_q と標準偏差 σ_Q とを算出し、 (I_q, σ_Q) の散布図を作成し、この散布図でプロットが集中する直線から許容範囲内に位置するプロットに対応するCMOS集積回路を、良品であると判定する。

【0164】

図14は、図10のステップS2において、相似検査の処理の第4の実施の形態を示す概略的なフローチャートである。

先ず、ステップS41では、基準ICおよび比較ICを含む被選別IC群の静

止電源電流の測定値 I_{Qi} の平均値 I_q と偏差 I_{DQi} とを算出し、(I_q , I_{DQi}) の散布図を作成する。例えば、横軸が平均値 I_q を示し、縦軸が偏差 I_{DQi} を示す散布図であって、CMOS集積回路の(I_q , I_{DQi})を示すプロットが分布する散布図を作成する。

【0165】

ステップS42では、散布図でプロットが集中する直線を求め、当該直線から許容範囲内(例えば所定の幅以内)に、基準ICおよび比較ICに対応する両プロットが位置する場合に、基準ICおよび比較ICのベクトル波形が相似であると判定する。

【0166】

なお、図14のフローチャートは、被選別IC群から良品のCMOS集積回路を抽出する場合に利用することができる。

例えば、被選別IC群の測定値 I_{Qi} の平均値 I_q と偏差 I_{DQi} とを算出し、(I_q , I_{DQi})の散布図を作成し、この散布図でプロットが集中する直線から許容範囲内に位置するプロットに対応するCMOS集積回路を、良品であると判定する。

【0167】

良否判定法

図15は、良否判定法の第1の実施の形態を示す概略的なフローチャートである。この良否判定法では、図9のテスタ30のコンピュータ20において、良品のCMOS集積回路の測定値 I_{Li} が得られている場合に、被試験素子(DUT)が良品であるか否かを判定する。

【0168】

先ず、ステップS51では、良品のCMOS集積回路の群(IC群)から、各ベクトル点 i での係数 $K_{Li} = (I_{Li} - I_1) / I_1$ を算出し、係数 K_{Li} を良品のIC群で平均化して基準となる係数 K_{Ni} を算出する。なお、係数 K_{Li} は、測定値 I_{Li} の偏差 ($I_{Li} - I_1$) を平均値 I_1 で正規化した値である。

【0169】

ステップS52では、被試験素子(DUT)の静止電源電流の測定値 I_{Qi} から

、偏差 $I_{DQi} = I_{Qi} - I_q$ を算出する。

【0170】

ステップS53では、(K_{Ni} , I_{DQi})の回帰分析を行い、決定係数 r_C^2 と回帰直線の傾き S_C とを算出する。

決定係数 r_C^2 は、例えば式(7)において、 $y_i = I_{DQi}$ とし、 y_A は偏差 I_{DQi} を全ベクトル点nで平均した平均値(すなわち0)とし、 y_Hi は係数 K_{Ni} から回帰直線を用いて予測した予測値とすることで、算出することができる。回帰直線の傾き S_C は、最小2乗法により算出することができる。

【0171】

ステップS54では、 $L_{RC}^2 < r_C^2$ および $|S_C / I_q - 1| < L_{SC}$ を満たす場合に、被試験素子を良品であると判定し、満たさない場合に不良品であると判定する。

但し、 L_{RC}^2 は、決定係数 r_C^2 の下限値であり、 L_{SC} は傾き S_C からのずれの許容範囲に対応する上限値である。

【0172】

図16は、良否判定法の第2の実施の形態を示す概略的なフローチャートである。この良否判定法では、図9のテスタ30のコンピュータ20において、良品のCMOS集積回路の測定値 I_{Li} が得られている場合に、被試験素子(DUT)が良品であるか否かを判定する。

【0173】

先ず、ステップS61では、良品のCMOS集積回路の群(IC群)から、各ベクトル点iでの標準値 $R_{Li} = (I_{Li} - I_1) / \sigma_L$ を算出し、標準値 R_{Li} を良品のIC群で平均化して基準となる標準値 R_{Ni} を算出する。

【0174】

ステップS62では、被試験素子(DUT)の静止電源電流の測定値 I_{Qi} から、標準値 $R_{Qi} = (I_{Qi} - I_q) / \sigma_Q$ を算出する。

【0175】

ステップS63では、標準値(R_{Ni} , R_{Qi})の回帰分析を行い、決定係数 r_D^2 と回帰直線の傾き S_D とを算出する。

決定係数 r_D^2 は、例えば式(7)において、 $y_i = R_{Qi}$ とし、 y_A は標準値 R_{Qi} を全ベクトル点 n で平均した平均値(すなわち 0)とし、 y_{Hi} は標準値 R_{Ni} から回帰直線を用いて予測した予測値とすることで、算出することができる。回帰直線の傾き S_D は、最小2乗法により算出することができる。

【0176】

ステップ S 64 では、 $L_{RD}^2 < r_D^2$ および $|S_D - 1| < L_{SD}$ を満たす場合に、被試験素子を良品であると判定し、満たさない場合に不良品であると判定する。

但し、 L_{RD}^2 は、決定係数 r_D^2 の下限値であり、 L_{SD} は傾き S_D からのずれの許容範囲に対応する上限値である。

【0177】

図 17 は、良否判定法の第 3 の実施の形態を示す概略的なフローチャートである。この良否判定法では、図 9 のテスタ 30 のコンピュータ 20 において、良品の CMOS 集積回路の測定値 I_{Li} が得られている場合に、被試験素子 (DUT) が良品であるか否かを判定する。

【0178】

先ず、ステップ S 71 では、良品の CMOS 集積回路の群 (IC 群) から、各ベクトル点 i での標準値 $R_{Li} = (I_{Li} - I_1) / \sigma_L$ を算出し、標準値 R_{Li} を良品の IC 群で平均化して基準となる標準値 R_{Ni} を算出する。

【0179】

ステップ S 72 では、 $|I_{Li} - I_1 - R_{Ni} \times \sigma_L| < E_{MAX}$ となる最大値 E_{MAX} を求める。

【0180】

ステップ S 73 では、被試験素子の測定値 I_{Qi} から、平均値 I_q および標準偏差 σ_Q を算出する。

【0181】

ステップ S 74 では、 $|I_{Qi} - I_q - R_{Ni} \times \sigma_Q| < E_{MAX}$ を満たす場合に、被試験素子を良品であると判定し、満たさない場合に不良品であると判定する。

【0182】

図18は、良否判定法の第4の実施の形態を示す概略的なフローチャートである。この良否判定法では、図9のテスタ30のコンピュータ20において、良品のCMOS集積回路の測定値 I_{L1} が得られている場合に、被試験素子（DUT）が良品であるか否かを判定する。

【0183】

先ず、ステップS81では、良品のCMOS集積回路の群（IC群）について、平均値 I_1 および標準偏差 σ_L を算出する。

【0184】

ステップS82では、 (σ_L, I_1) の散布図を作成し、プロットが集中する直線の傾きを求め、この傾きを $(1/\sigma_R)$ とおく。例えば、横軸（x軸）が標準偏差 σ_L を示し、縦軸（y軸）が平均値 I_1 を示す散布図であって、標準偏差 σ_L および平均値 I_1 を示すプロットが分布した散布図を作成する。

【0185】

ステップS83では、被試験素子の測定値 I_{Q1} から、平均値 I_q および標準偏差 σ_Q を算出する。

【0186】

ステップS84では、 $I_q - \sigma_Q / \sigma_R < L_{SE}$ を満たす場合に、被試験素子を良品であると判定し、満たさない場合に不良品であると判定する。なお、 L_{SE} は、平均値 I_q と値 σ_Q / σ_R との誤差の許容範囲に対応する上限値である。

【0187】

図19は、良否判定法の第5の実施の形態を示す概略的なフローチャートである。この良否判定法では、図9のテスタ30のコンピュータ20において、良品のCMOS集積回路についての2ベクトル点の測定値 I_{L1} , I_{L2} が得られている場合に、被試験素子（DUT）が良品であるか否かを判定する。

【0188】

先ず、ステップS91では、良品のCMOS集積回路について、測定値 I_{L1} , I_{L2} の差を平均値 I_1 で除算した基準値 $W_{L12} = (I_{L1} - I_{L2}) / I_1$ を算出する。

【0189】

ステップS92では、被試験素子について、2ベクトル点の測定値 I_{Q1} , I_{Q2} の差を平均値 I_q で除算した比較値 $W_{Q12} = (I_{Q1} - I_{Q2}) / I_q$ を算出する。

【0190】

ステップS93では、 $|W_{Q12} - W_{L12}| < T_{12}$ を満たす場合に、被試験素子を良品であると判定し、満たさない場合に不良品であると判定する。なお、 T_{12} は、比較値 W_{Q12} と基準値 W_{L12} との誤差の許容範囲を示す上限値である。

【0191】

図20は、良否判定法の第6の実施の形態を示す概略的なフローチャートである。この良否判定法では、図9のテスタ30のコンピュータ20において、良品のCMOS集積回路の測定値 I_{Li} が得られている場合に、被試験素子(DUT)が良品であるか否かを判定する。

【0192】

先ず、ステップS101では、良品のCMOS集積回路の群(IC群)について、平均値 I_1 および偏差 I_{DLi} を算出する。

【0193】

ステップS102では、 (I_1, I_{DLi}) の散布図を作成し、プロットが集中する直線(理想直線)を求める。例えば、横軸(x軸)が平均値 I_1 を示し、縦軸(y軸)が偏差 I_{DLi} を示す散布図であって、平均値 I_1 および偏差 I_{DLi} を示すプロットが分布した散布図を作成する。この散布図により、式(18)中の $(R_i - 1)$ を理想直線の傾きから求めることができ、式(18)中の $(1 - R_i) \times I_{AL}$ をy切片から求めることができる。

【0194】

ステップS103では、被試験素子の測定値 I_{Qi} から、平均値 I_q および偏差 $I_{DQi} = I_{Qi} - I_q$ を算出する。

【0195】

ステップS104では、被試験素子の測定値 I_{Qi} の平均値 I_q から、理想直線に基づいて予測される予測偏差 J_{DQi} を算出する。散布図で求めた $(R_i - 1)$ および $(1 - R_i) \times I_{AL}$ と式(18)とから、予測偏差 $J_{DQi} = (R_i - 1) \times I_q + (1 - R_i) \times I_{AL}$ により算出することができる。

【0196】

ステップS105では、 $|I_{DQi} - J_{DQi}| < T_D$ を満たす場合に、被試験素子を良品であると判定し、満たさない場合に不良品であると判定する。なお、 T_D は、偏差 I_{DQi} と予測偏差 J_{DQi} との誤差の許容範囲に対応する上限値である。

【0197】

なお、上記実施の形態は本発明の例示であり、本発明は上記実施の形態に限定されない。

【0198】

【発明の効果】

以上に説明したように、本発明によれば、回路漏れ電流の有無に関わらずに良品の判定が可能なCMOS集積回路の良品判定方法を提供することができる。

【図面の簡単な説明】

【図1】

良品のCMOS集積回路の間でベクトル波形が相似である場合を例示する第1の説明図である。

【図2】

良品のCMOS集積回路の間でベクトル波形が相似である場合を例示する第2の説明図である。

【図3】

良品のCMOS集積回路の間でベクトル波形が相似である場合を例示する第3の説明図である。

【図4】

試験対象の複数のCMOS集積回路から2個のCMOS集積回路を抽出し、各ベクトル点での偏差を示すプロットの分布例を示す説明図である。

【図5】

スキャンテストをパスした約800個のCMOS集積回路について、静止電源電流の測定値の平均値および標準偏差を示すプロットの分布例を示す散布図である。

【図6】

図5のCMOS集積回路の群について、比例係数 R_i の標準偏差の逆数（ $1/\sigma_R$ ）の分布を例示する分布図である。

【図7】

約800個のCMOS集積回路について、静止電源電流の測定値の平均値および偏差を示すプロットの分布例を示す散布図である。

【図8】

良品のCMOS集積回路について、標準偏差および予測誤差を示すプロットの分布を例示する散布図である。

【図9】

本発明に係るCMOS集積回路の良品判定方法を行うテストの説明図である。

【図10】

図9のテスト内のコンピュータの処理を示す概略的なフローチャートであり、CMOS集積回路の良品選別法の実施の形態を示している。

【図11】

図10において、相似検査の処理の第1の実施の形態を示す概略的なフローチャートである。

【図12】

図10において、相似検査の処理の第2の実施の形態を示す概略的なフローチャートである。

【図13】

図10において、相似検査の処理の第3の実施の形態を示す概略的なフローチャートである。

【図14】

図10において、相似検査の処理の第4の実施の形態を示す概略的なフローチャートである。

【図15】

図9のテスト内のコンピュータの処理を示す概略的なフローチャートであり、CMOS集積回路の良否判定法の第1の実施の形態を示している。

【図16】

図9のテスタ内のコンピュータの処理を示す概略的なフローチャートであり、
CMOS集積回路の良否判定法の第2の実施の形態を示している。

【図17】

図9のテスタ内のコンピュータの処理を示す概略的なフローチャートであり、
CMOS集積回路の良否判定法の第3の実施の形態を示している。

【図18】

図9のテスタ内のコンピュータの処理を示す概略的なフローチャートであり、
CMOS集積回路の良否判定法の第4の実施の形態を示している。

【図19】

図9のテスタ内のコンピュータの処理を示す概略的なフローチャートであり、
CMOS集積回路の良否判定法の第5の実施の形態を示している。

【図20】

図9のテスタ内のコンピュータの処理を示す概略的なフローチャートであり、
CMOS集積回路の良否判定法の第6の実施の形態を示している。

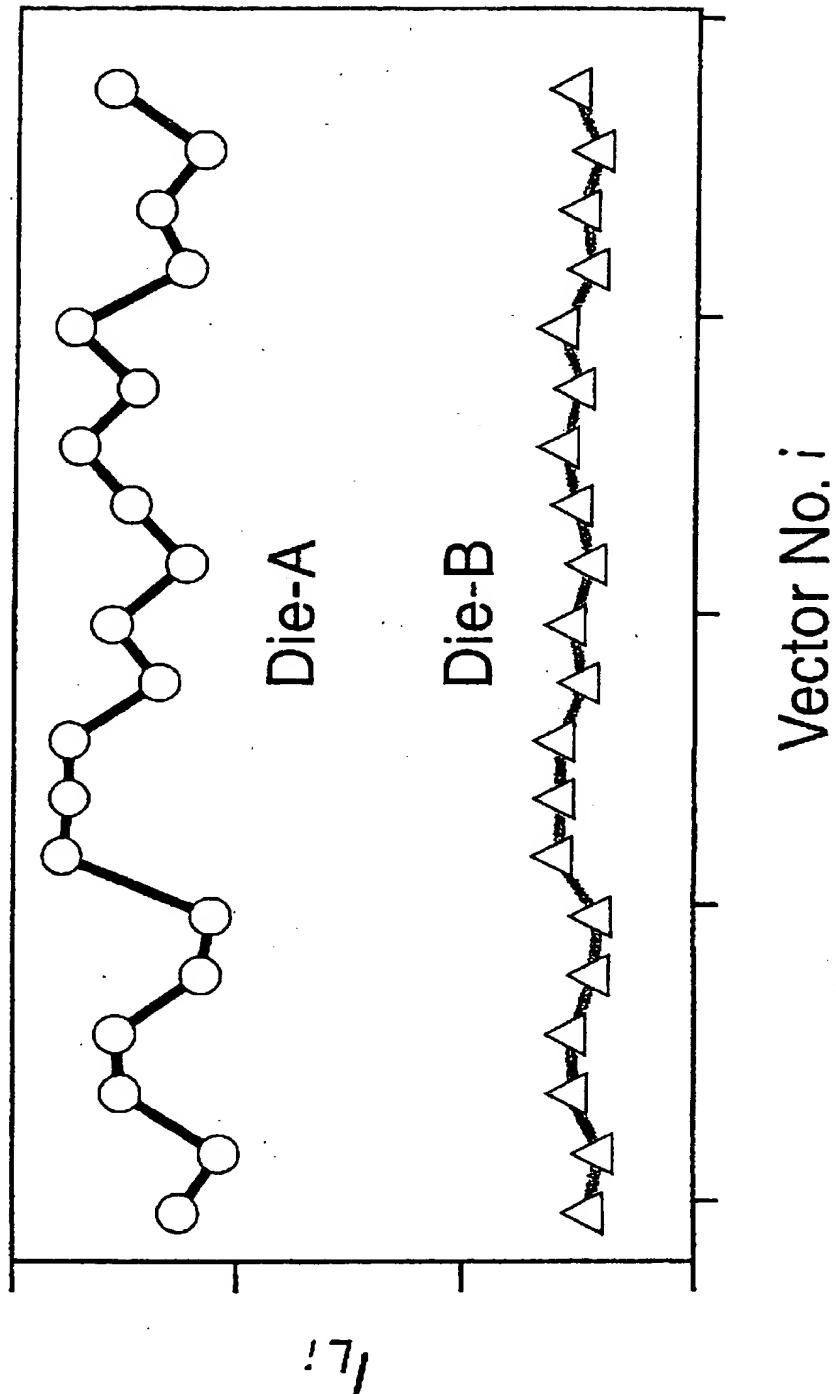
【符号の説明】

10…測定器、20…コンピュータ、30…テスタ、50₁～50_N…CMOS集積回路。

【書類名】

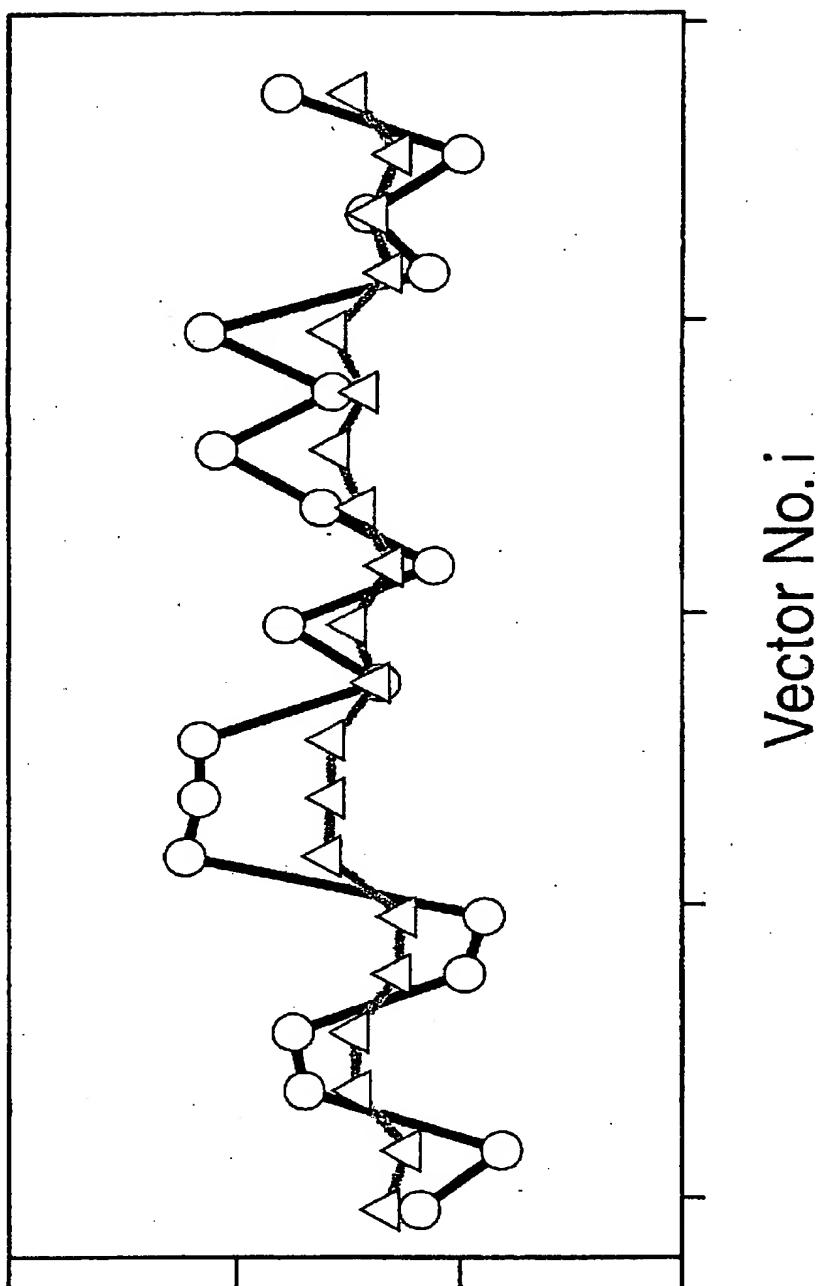
図面

【図1】

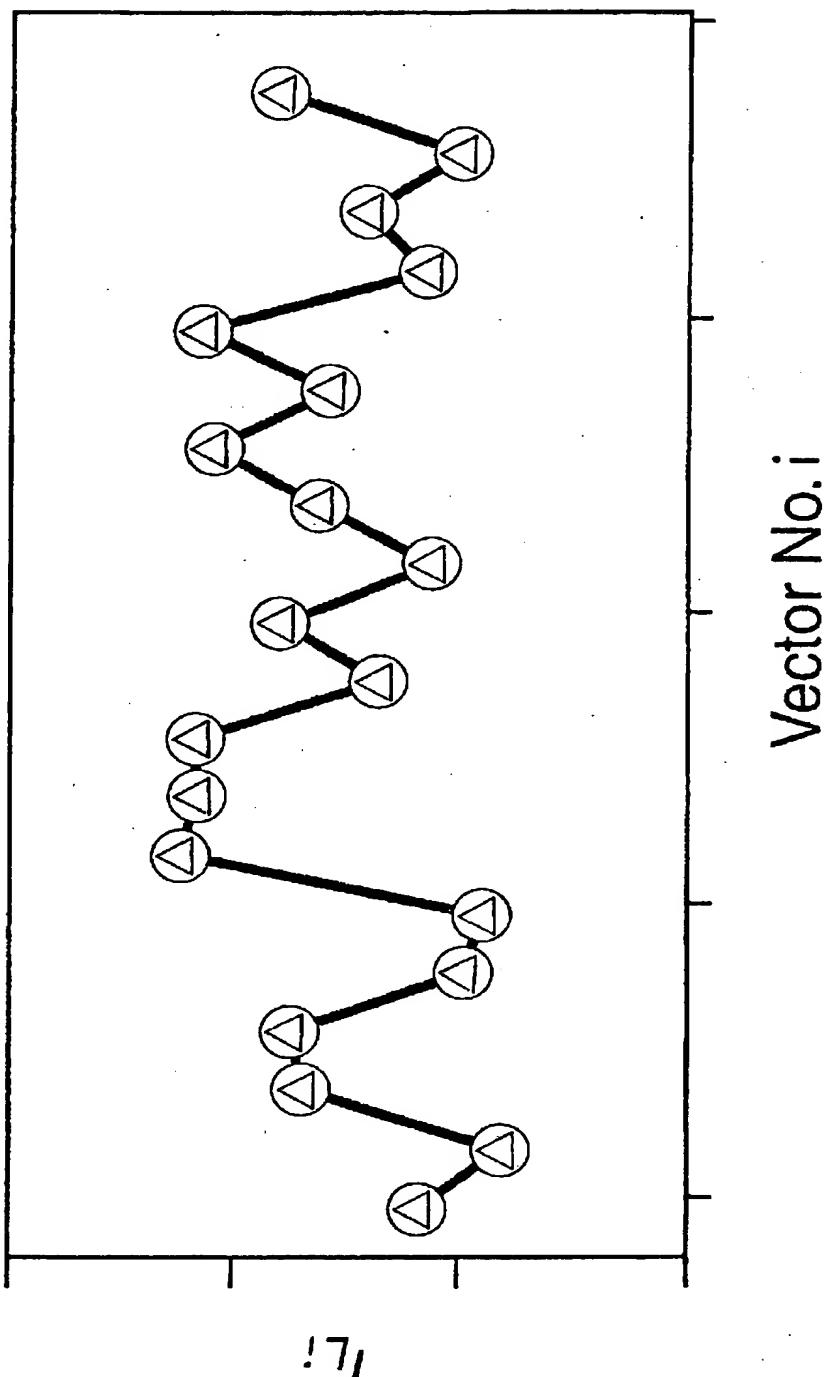


171

【図2】

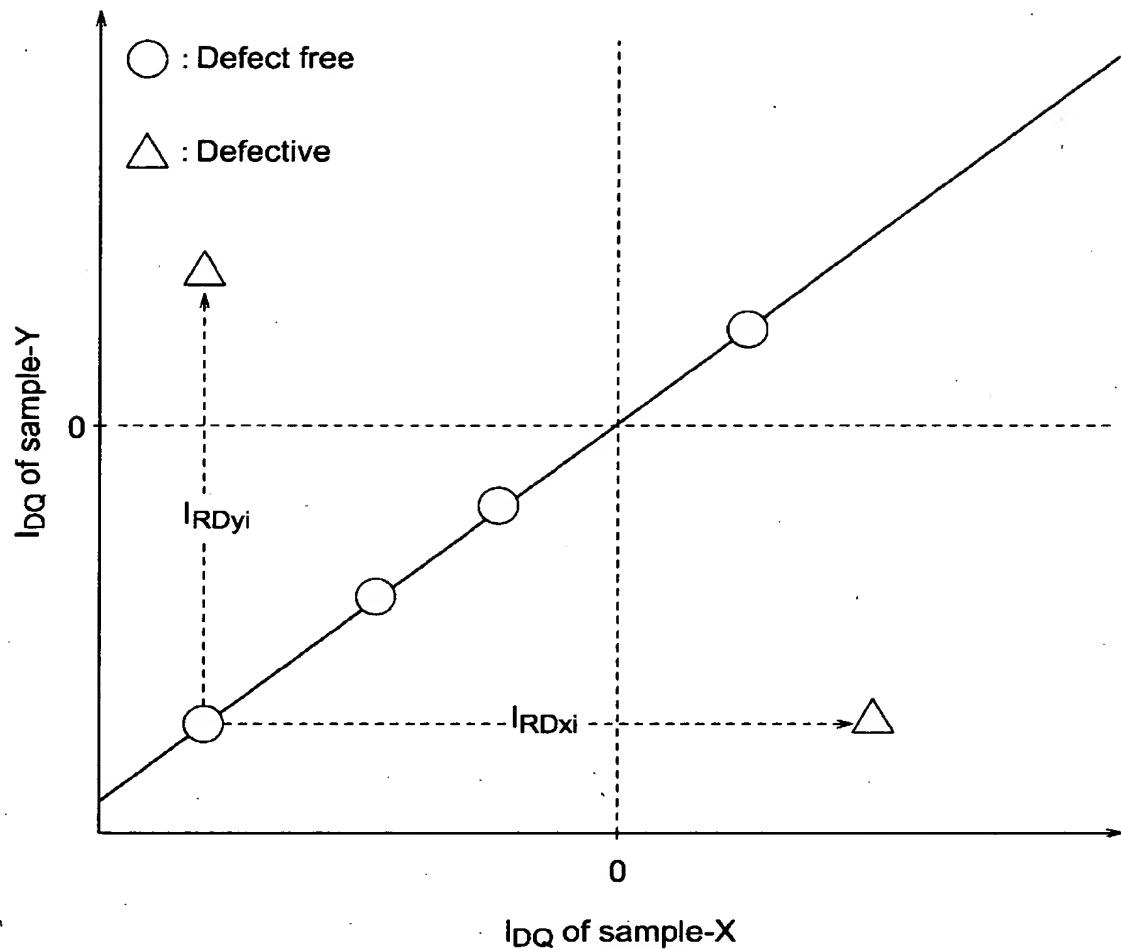


【図3】

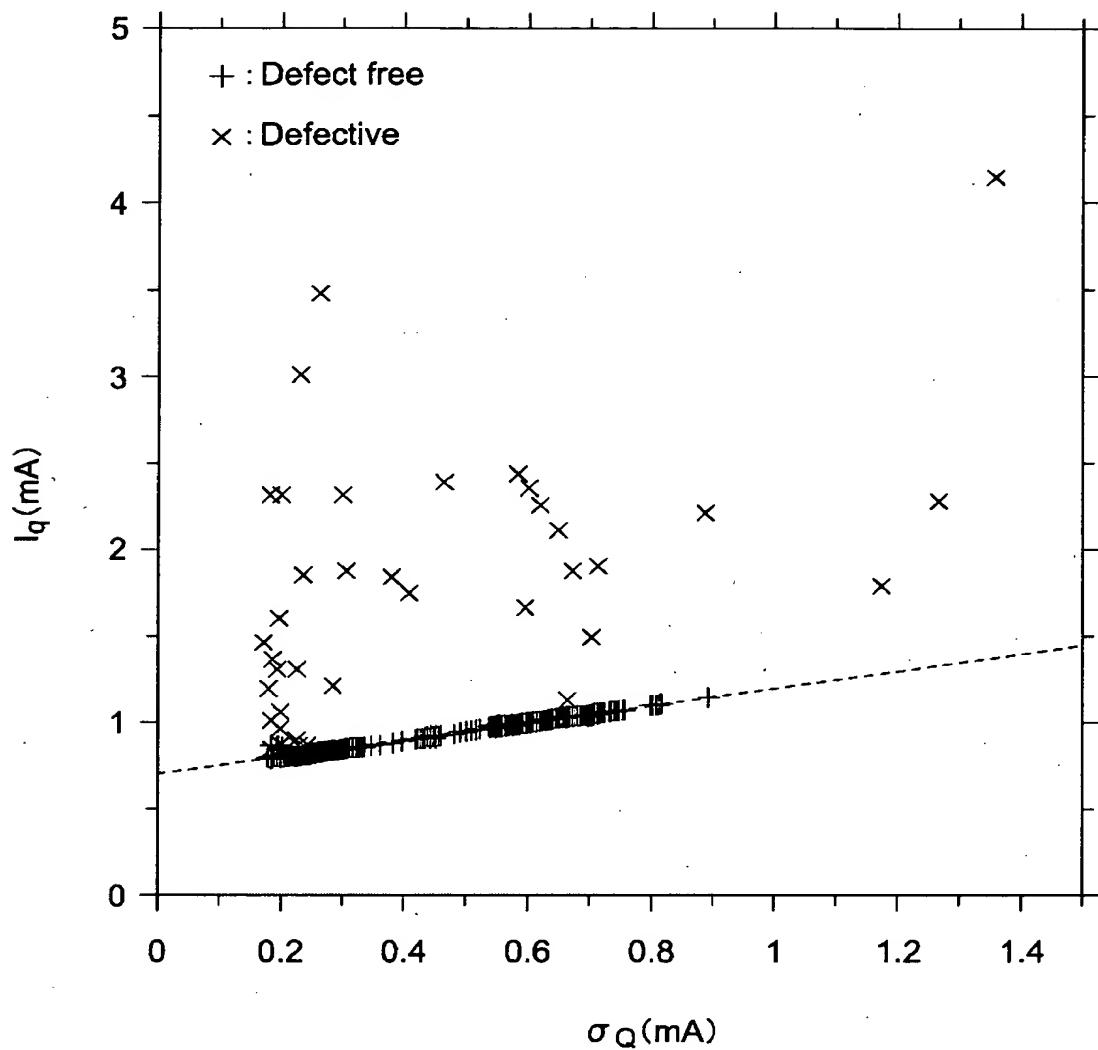


171

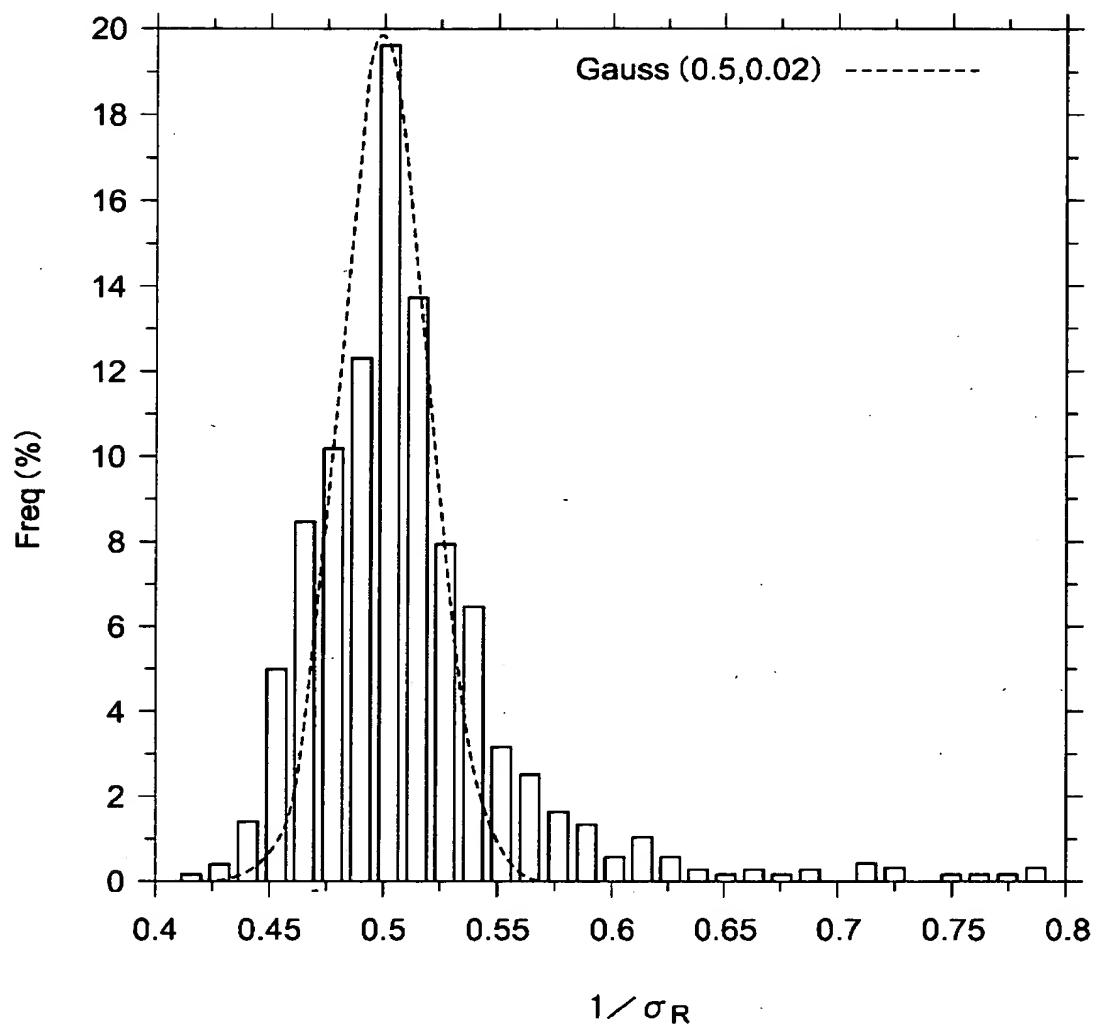
【図4】



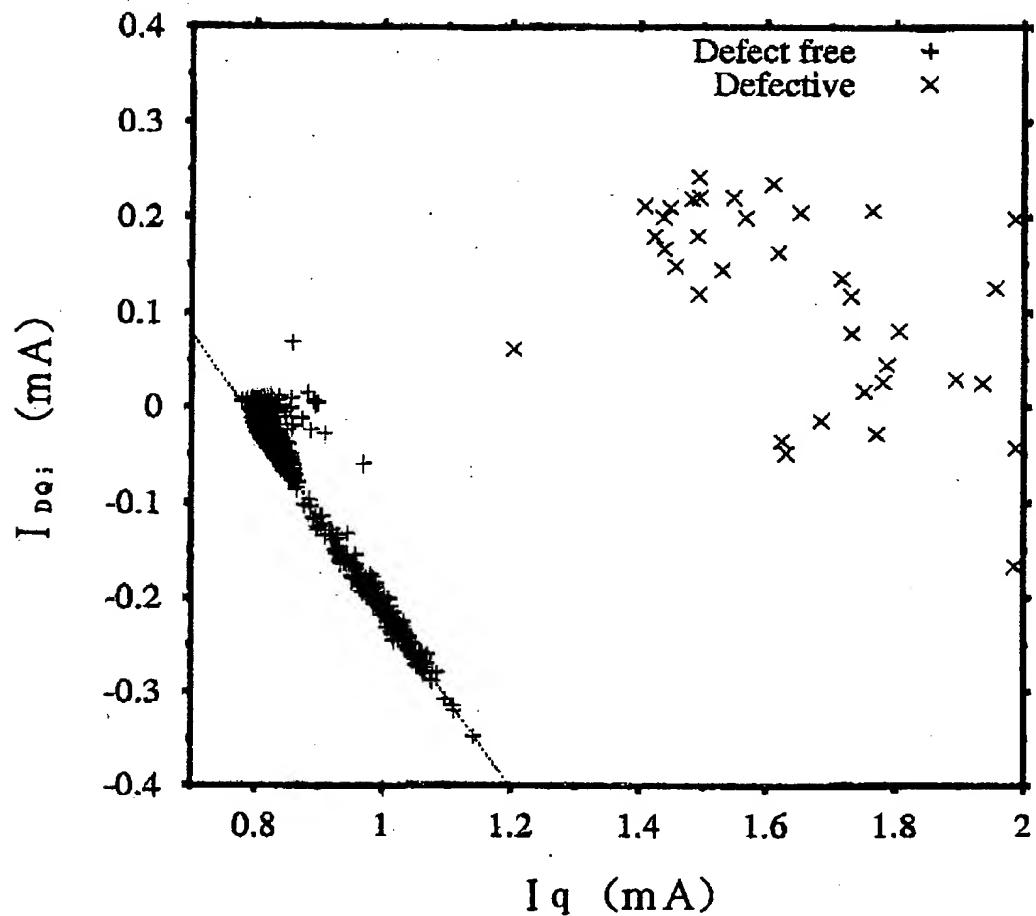
【図5】



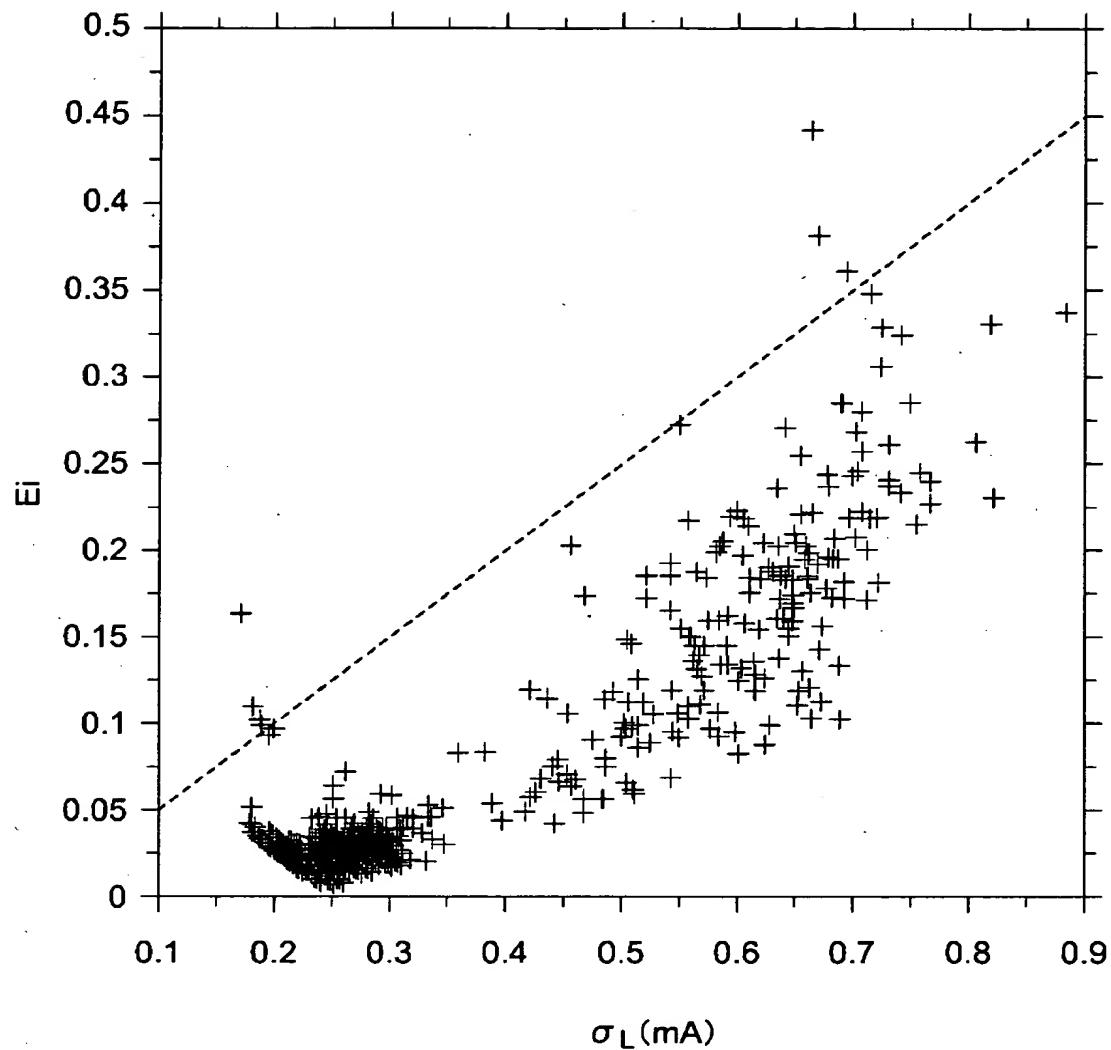
【図6】



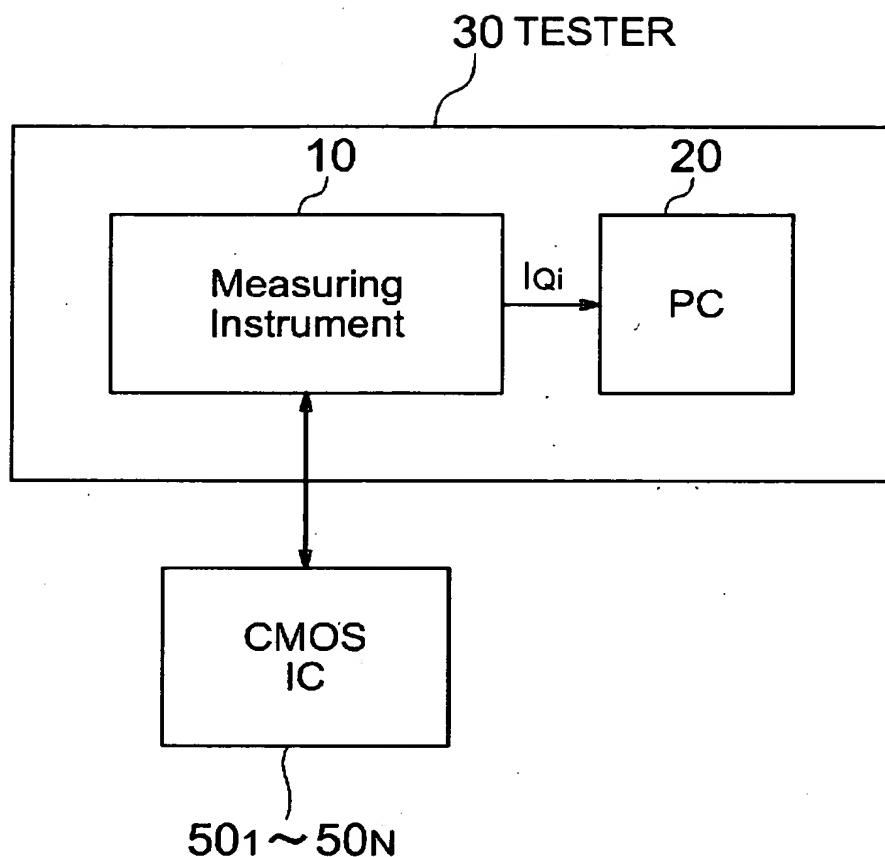
【図7】



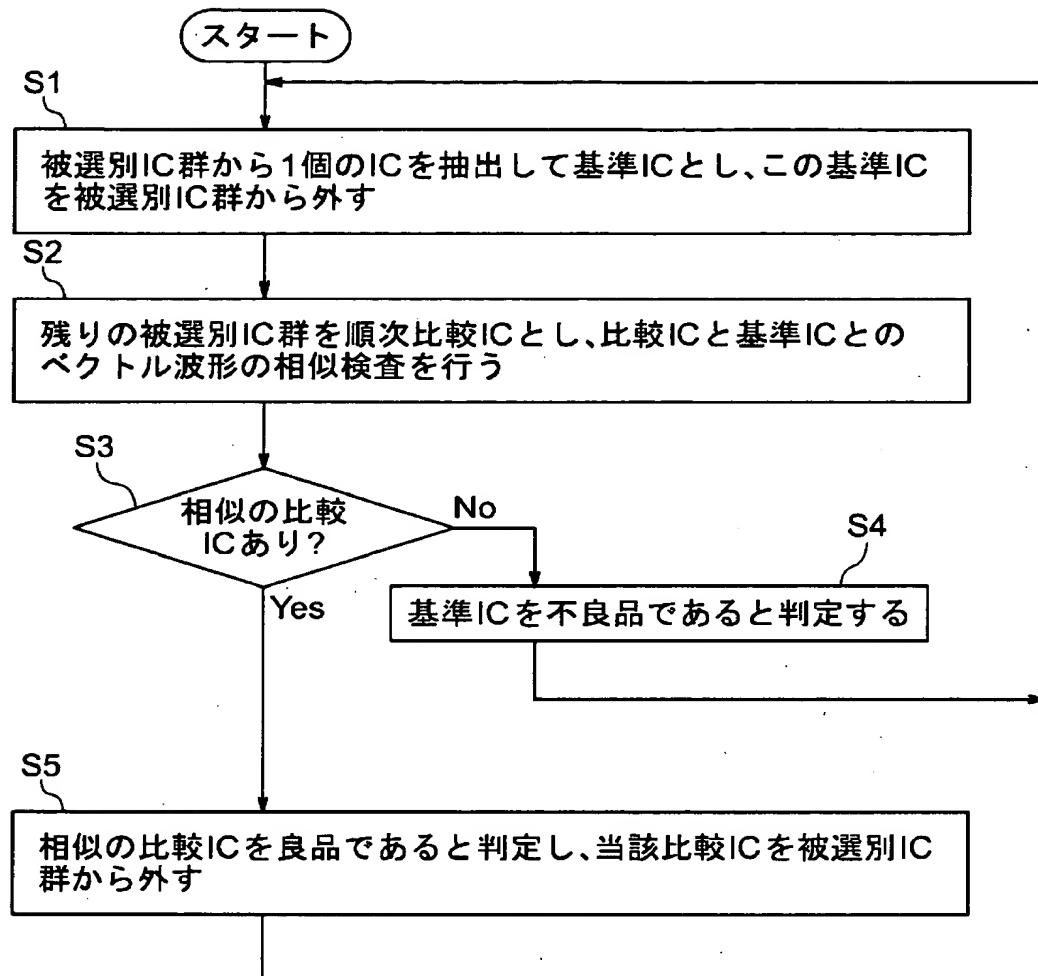
【図8】



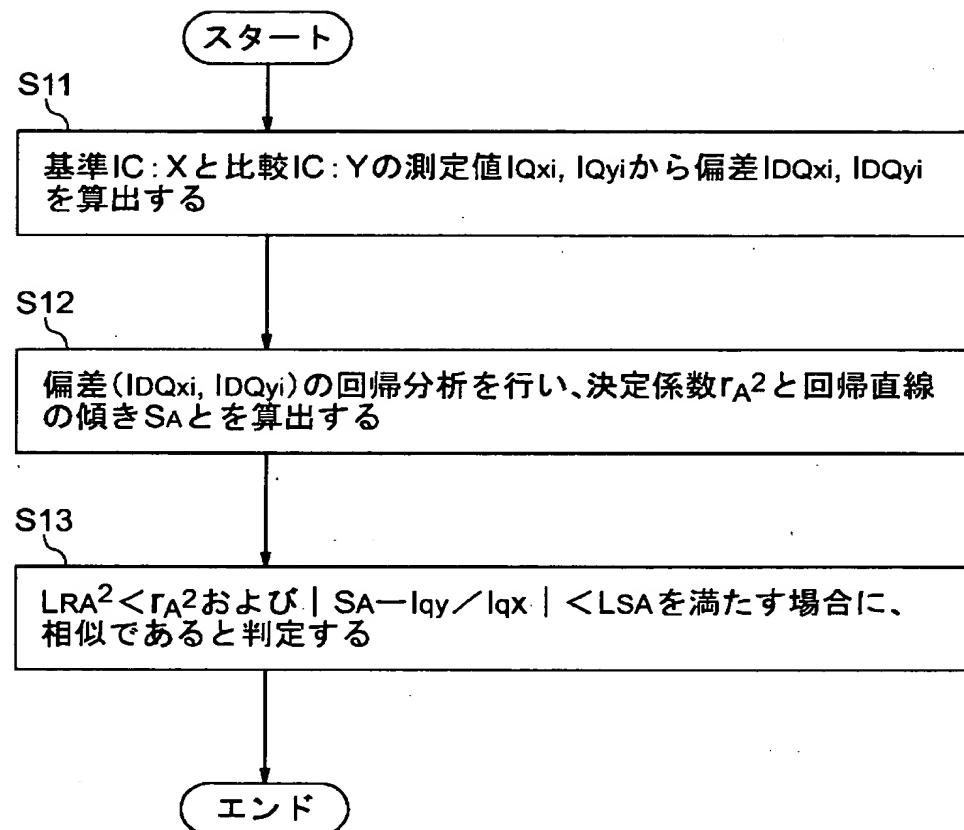
【図9】



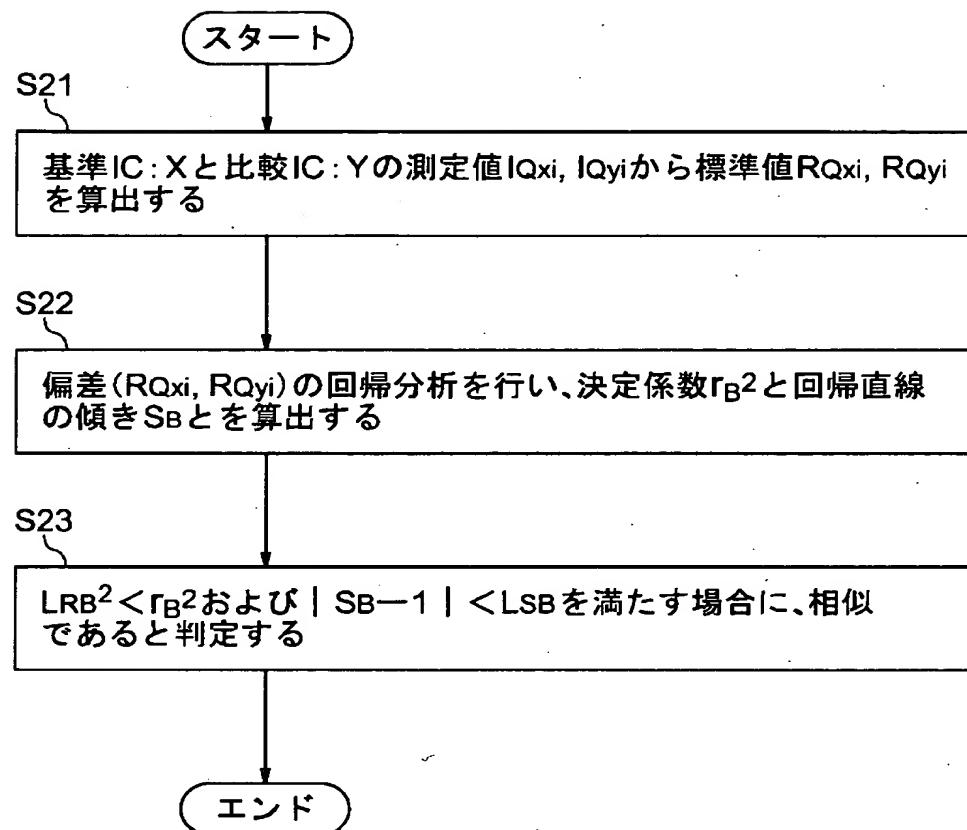
【図10】



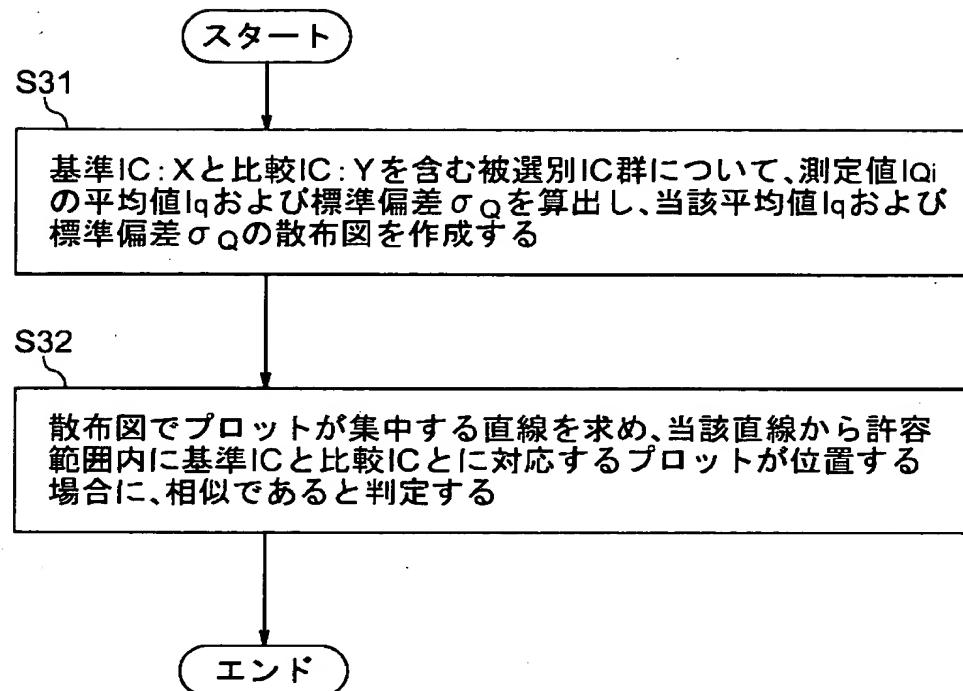
【図11】



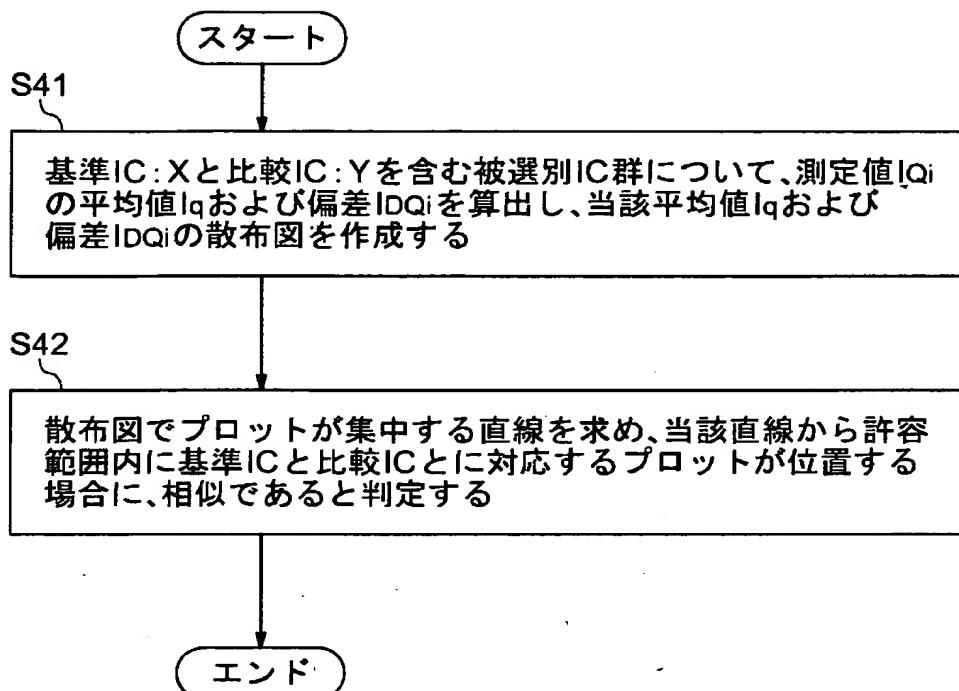
【図12】



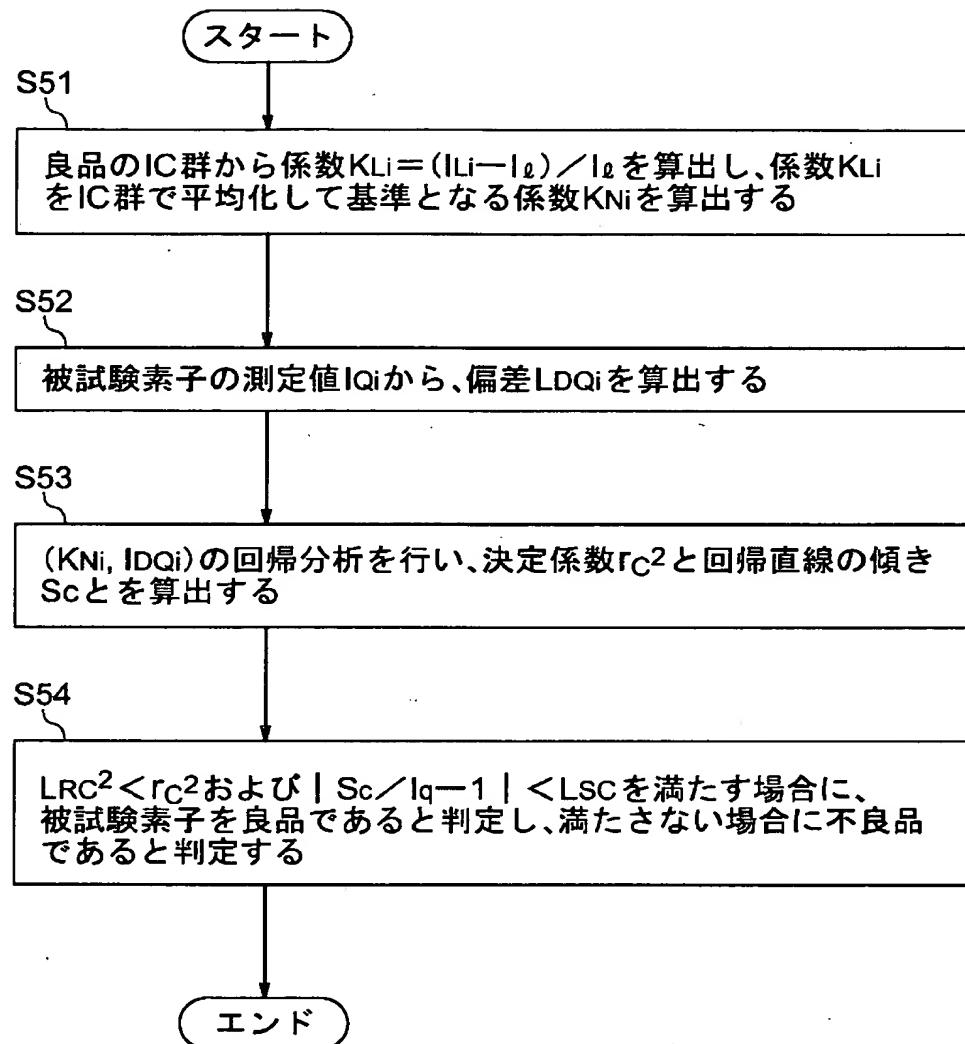
【図13】



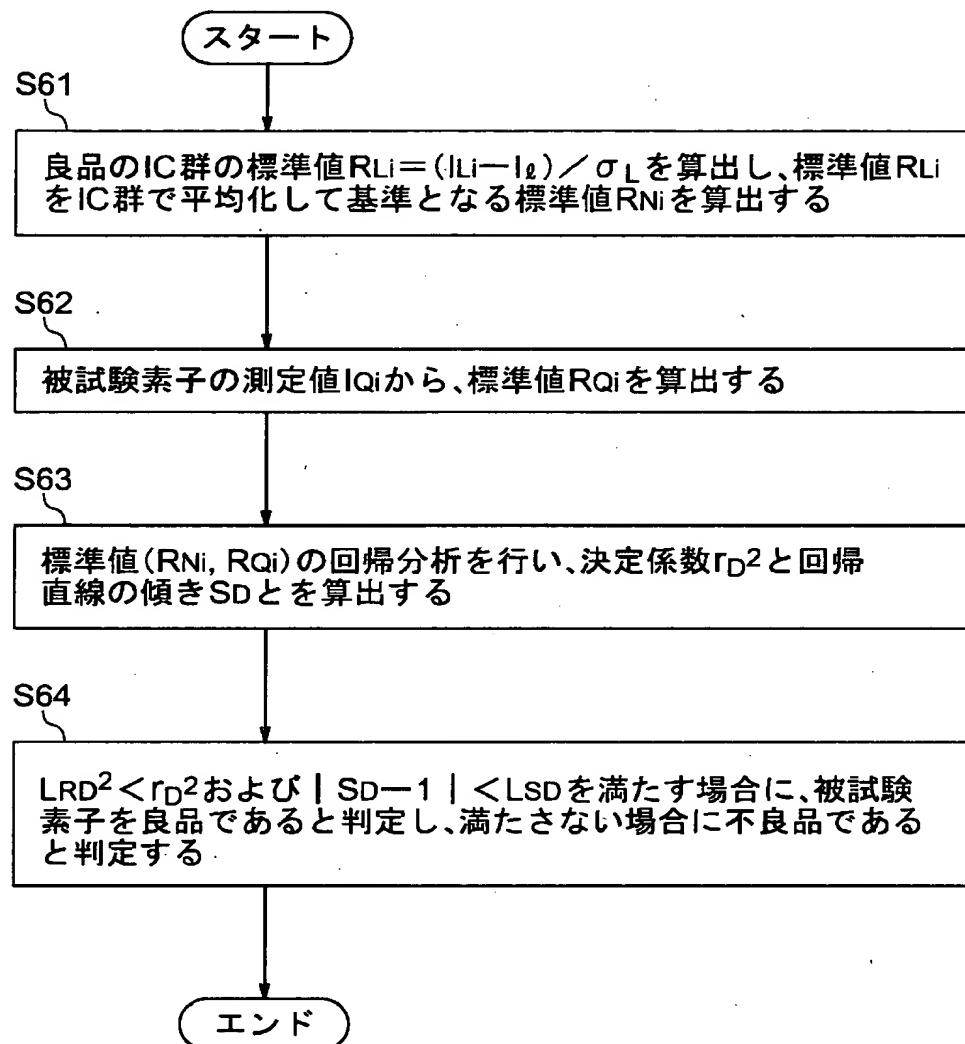
【図14】



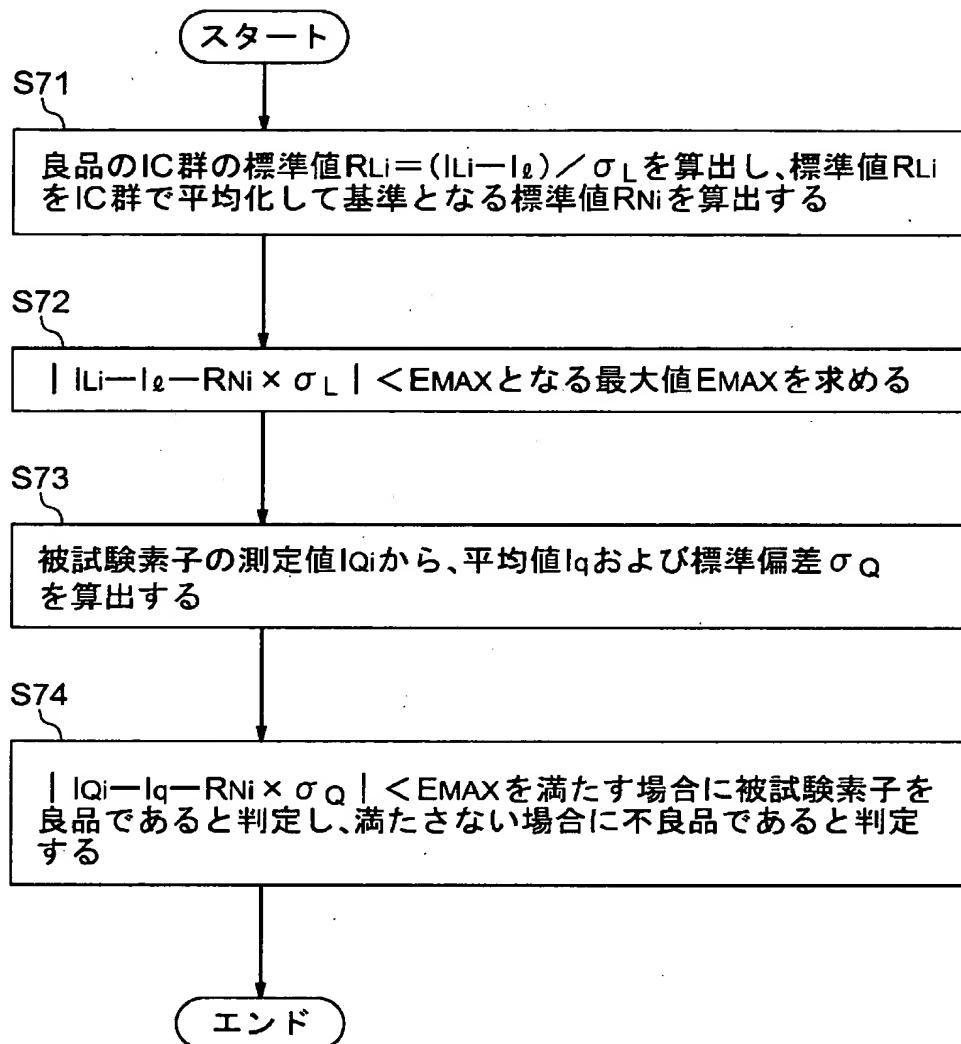
【図15】



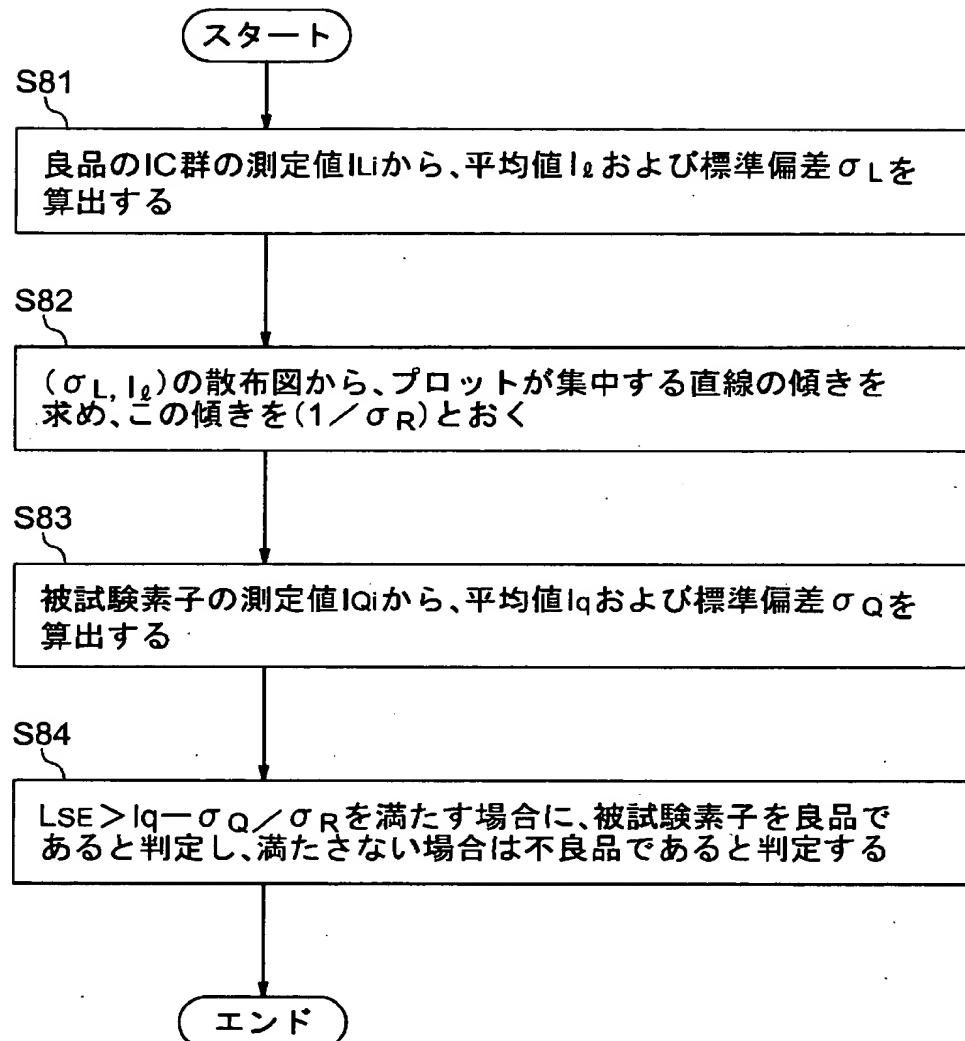
【図16】



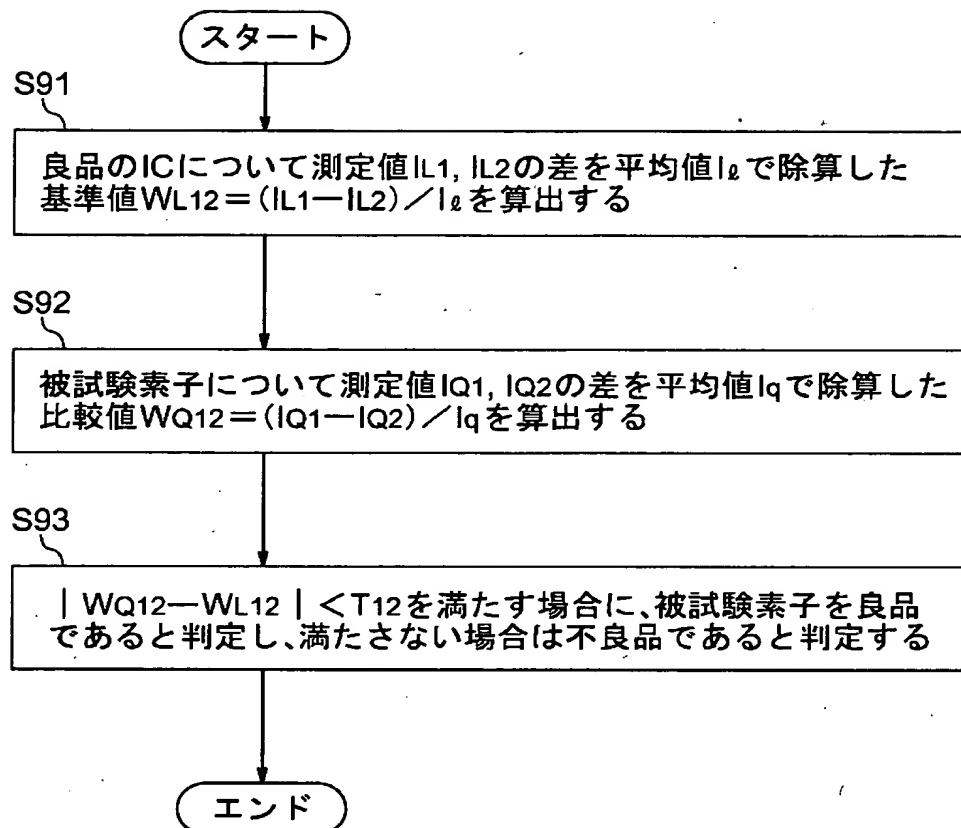
【図17】



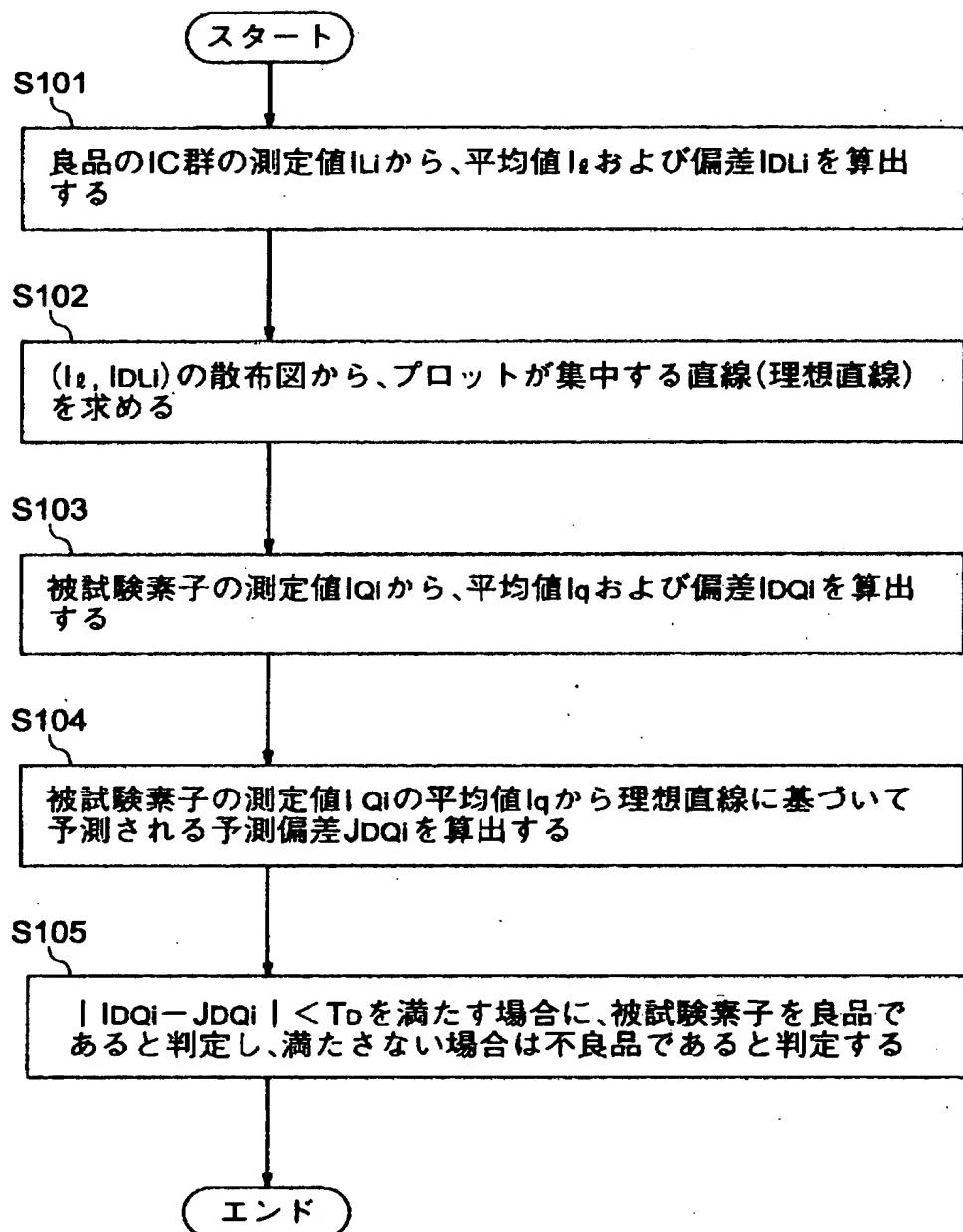
【図18】



【図19】



【図20】



【書類名】 要約書

【要約】

【課題】 回路漏れ電流の有無に関わらずに良品の判定が可能なCMOS集積回路の良品判定方法を提供する。

【解決手段】 ステップS1では、選別されるCMOS集積回路のグループ（被選別IC群）から1個のCMOS集積回路を抽出して基準ICとし、この基準ICを被選別IC群から外す。ステップS2では、残りの被選別IC群を順次比較ICとし、比較ICと基準ICとのベクトル波形の相似検査を行う。ステップS3では、相似検査を行った被選別IC群の中に、ベクトル波形が相似である比較ICがあるか否かを判定する。被選別IC群の中にベクトル波形が相似である比較ICがない場合は、基準ICを不良品であると判定する（ステップS4）。被選別IC群の中にベクトル波形が相似である比較ICがある場合は、比較ICを良品であると判定し、比較ICを被選別IC群から外す（ステップS5）。

【選択図】 図10

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社